



**UNIVERSIDADE FEDERAL DA BAHIA
ESCOLA POLITÉCNICA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

JOÃO MARCELO SILVA SOUZA

**SISTEMA DIGITAL DE SELEÇÃO *ONLINE* DE EVENTOS PARA O
DETECTOR NEUTRINOS ANGRA**

**SALVADOR
2016**

**UNIVERSIDADE FEDERAL DA BAHIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

JOÃO MARCELO SILVA SOUZA

**SISTEMA DIGITAL DE SELEÇÃO *ONLINE* DE EVENTOS PARA O
DETECTOR NEUTRINOS ANGRA**

Dissertação submetida ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal da Bahia como parte dos requisitos necessários para obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Eduardo Furtado de Simas Filho.

Co-Orientador: Paulo Cesar Machado de Abreu Farias.

Área de Concentração: Processamento Digital de Sinais.

Linha de Pesquisa: Sistemas Computacionais e Robótica.

SALVADOR - BA - BRASIL

DEZEMBRO 2016

Souza, João Marcelo Silva
Sistema digital de seleção online de eventos para o
detector Neutrinos Angra / João Marcelo Silva Souza. --
Salvador, 2016.
91 f. : il

Orientador: Eduardo Furtado de Simas Filho.
Coorientador: Paulo Cesar Machado de Abreu Farias.
Dissertação (Mestrado - Programa de Pós-Graduação em
Engenharia Elétrica) -- Universidade Federal da Bahia,
Escola Politécnica, 2016.

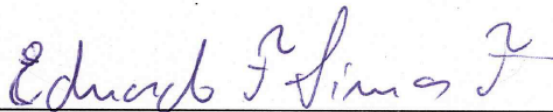
1. Sistemas de Trigger. 2. Sistema de Aquisição. 3.
Física de Altas Energias. 4. Detector de Neutrinos. I.
Filho, Eduardo Furtado de Simas. II. Farias, Paulo
Cesar Machado de Abreu. III. Título.

JOÃO MARCELO SILVA SOUZA

**Sistema Digital de Seleção *Online* de Eventos para o Detector
Neutrinos Angra**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, Escola Politécnica, Universidade Federal da Bahia - UFBA, como requisito parcial para obtenção do grau de Mestre em Engenharia Elétrica.

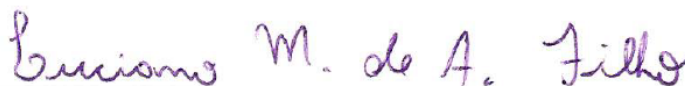
Aprovada em 19 de dezembro de 2016



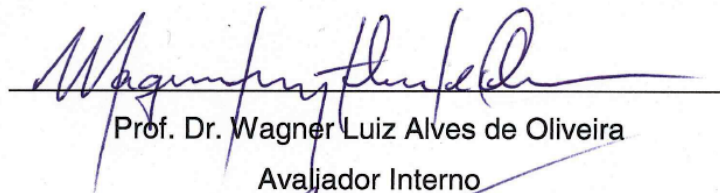
Prof. Dr. Eduardo Furtado de Simas Filho
Orientador (UFBA)



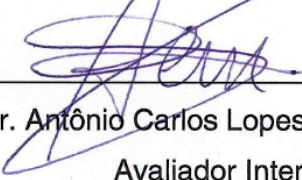
Prof. Dr. Paulo César Machado de Abreu Farias
Co-Orientador (UFBA)



Prof. Dr. Luciano Manhães de Andrade Filho
Avaliador Externo (UFJF)



Prof. Dr. Wagner Luiz Alves de Oliveira
Avaliador Interno



Prof. Dr. Antônio Carlos Lopes Fernandes Júnior
Avaliador Interno

“Quem sabe, sabe!
Mas ninguém nasceu sabendo,
a gente vai vivendo é para aprender.”

(Quinho de Valente)

AGRADECIMENTOS

Primeiramente agradeço a Deus e a meus pais por todas as oportunidades e por estarem sempre comigo.

Agradeço a minha família pelo conforto, incentivo e forças para alcançar novas conquistas.

Agradeço a meu orientador professor Dr. Eduardo Furtado de Simas Filho pelo apoio na pesquisa, orientação e incentivo.

Agradeço também a Colaboração Neutrinos Angra por todo o suporte na construção do trabalho, bem como toda a equipe do CBPF.

Agradeço aos colegas da *Design House* do SENAI CIMATEC por propiciar o ambiente de inovação em projetos de circuitos integrados e FPGA, que contribuíram para o desenvolvimento deste trabalho.

A FAPESB, CNPQ, FINEP e FAPERJ por financiar esta pesquisa e o detector Neutrinos Angra.

E a todos da UFBA que contribuíram direta e indiretamente para a realização deste trabalho, muito obrigado!

RESUMO

Este trabalho apresenta o primeiro estágio de seleção *online* de eventos (*trigger*) do detector Neutrinos Angra, o qual foi projetado para medir o fluxo de antineutrinos emitidos pelo reator nuclear Angra II, localizado no estado do Rio de Janeiro, Brasil. Atualmente, o detector está instalado no Centro Brasileiro de Pesquisas Físicas (CBPF), onde vem sendo realizados testes funcionais e procedimentos de calibração. O primeiro nível de *trigger* foi desenvolvido para dispositivos FPGA e inclui módulos adicionais para configuração remota e aquisição de dados. A arquitetura e testes de desempenho são apresentados. Os resultados experimentais foram obtidos utilizando-se como partículas alvo os múons cósmicos, visto que a taxa de antineutrinos no CBPF é muito baixa para ser detectada. Os demais resultados foram obtidos a partir de simulações, *testbenches* e testes em laboratório. A partir deste trabalho foi possível realizar a integração dos sistemas já desenvolvidos previamente para o detector, realizar aquisição do comportamento dos sinais no que tange a comprimentos e frequências, bem como viabilizou a aquisição pela primeira vez de sinais para diferentes valores de *threshold*.

Palavras-chave - Sistemas de Trigger, Sistema de Aquisição, Física de Altas Energias, Detector de Neutrinos.

ABSTRACT

This work presents the first stage of the online selection of events (trigger) of the Neutrinos Angra detector, which has been designed to measure the antineutrino flux originated from the Angra II nuclear reactor located in the state of Rio de Janeiro, Brazil. The detector is currently installed in the Brazilian Center for Physics Research (CBPF), where functional tests and calibration procedures are being carried out. The first-level trigger system has been developed for FPGA devices and includes additional modules for remote configuration and data acquisition. The architecture and performance tests are presented. The results were obtained by using as target particles the cosmic muons, since the antineutrinos rate at CBPF is too low to be detected. The other results were obtained from simulations, testbenches and laboratory tests. From this work was possible to perform the integration of the systems previously developed to the detector, to perform signal acquisition and verify the behavior of the signals in reference of the lengths and frequencies, as well as, this work enabled the signals acquisition for the first time of different threshold values.

Keywords - Trigger Systems, Data Acquisition, High Energy Physics, Neutrinos Detector.

LISTA DE FIGURAS

Figura 1 - <i>Layout</i> do detector padrão de antineutrinos do Daya Bay [21].	9
Figura 2 - Fotografia de modelos de <i>Photomultiplier Tubes</i> (PMT) [24].	10
Figura 3 - Esquemático da cadeia de aquisição do detector Double Chooz [4].	10
Figura 4 - Fotografia da placa eletrônica de <i>front-end</i> do detector Borexino [18].	11
Figura 5 - Fotografia da placa eletrônica QBEE do Super-Kamiokande [9].	11
Figura 6 - Topologia Hierárquica de Trigger de HEP [10].	12
Figura 7 - Diagrama de tempo do QTC do detector do Super-K [9].	14
Figura 8 - <i>Trigger</i> periódico e janela de <i>trigger</i> do experimento Super-K [9].	14
Figura 9 - Diagrama do Sistema de DAQ com o módulo de <i>clock</i> principal [9].	15
Figura 10 - Esquemático do sistema de decisão de <i>trigger</i> [4].	16
Figura 11 - Diagrama de blocos da <i>Trigger Board</i> (TB) [4].	17
Figura 12 - Diagrama de funcionamento do circuito ISS [4].	17
Figura 13 - Diagrama de blocos do sistema de aquisição do detector Daya Bay.	18
Figura 14 - Arquitetura base de <i>trigger</i> do detector Borexino [18].	19
Figura 15 - Diagrama do sistema de DAQ e trigger do detector RENO [22].	21
Figura 16 - Container do detector de neutrinos na usina nuclear de Angra II [17].	22
Figura 17 - Módulos do Experimento Neutrinos Angra [5].	23
Figura 18 - Disposição das PMTs do detector Neutrinos Angra [3].	23
Figura 19 - Placa eletrônica do NDAQ do Neutrinos Angra [12].	24
Figura 20 - Diagrama de blocos do <i>front-end</i> [27].	24
Figura 21 - Esquemático do circuito de amplificação e filtragem do <i>front-end</i> [28].	25
Figura 22 - Sinal das PMTs e respectivos estágios do <i>front-end</i> [27].	25
Figura 23 - Formato dos sinais de saída do <i>front-end</i> .	26
Figura 24 - Fotografia da placa eletrônica de <i>front-end</i> .	26
Figura 25 - Diagrama base dos PMTs, <i>front-end</i> , NDAQ e <i>trigger</i> [3].	27
Figura 26 - Saída média do <i>front-end</i> utilizando os três fatores de atenuação [29].	27
Figura 27 - Pico de amplitude de saída versus carga de entrada [29].	28
Figura 28 - Largura do pulso versus carga de entrada para AF = 1 [29].	29
Figura 29 - Diagrama do fluxo base das fases de desenvolvimento de ASICs [30] [31].	30
Figura 30 - Ambiente de verificação do projeto [34] [33].	32
Figura 31 - Visão geral do sistema de <i>trigger</i> (Item 1) no detector Neutrinos Angra.	34
Figura 32 - Diagrama de blocos macro dos sistemas do projeto.	36
Figura 33 - Lógica macro de funcionamento dos sistemas de <i>trigger</i> .	38

Figura 34 - Diagrama simplificado dos módulos de <i>trigger</i>	39
Figura 35 - Diagrama da arquitetura geral do sistema de <i>trigger</i>	40
Figura 36 - Diagrama de sinais dos módulos do <i>trigger</i> por multiplicidade.....	42
Figura 37 - Ilustração do funcionamento do módulo <i>Registers & Counters</i>	43
Figura 38 - Filtragem de sinal com duração maior que o limite.	44
Figura 39 - Máquina de estados do <i>Multiplicity Trigger Kernel</i>	44
Figura 40 - Diagrama de sinais dos módulos do <i>trigger</i> por energia.	45
Figura 41 - Conversão de largura do pulso (ns) para energia (pC).	46
Figura 42 - Etapas de geração dos dados de conversão de duração para energia.....	47
Figura 43 - Lógica de funcionamento dos vetos e <i>shield</i>	48
Figura 44 - Máquina de estados de propagação de sinal de veto.	49
Figura 45 - Diagrama de sinais e parâmetros dos sistemas de <i>trigger</i> auxiliares.	49
Figura 46 - Diagrama de arquitetura do <i>trigger</i> manual.....	50
Figura 47 - Comportamento de eventos de <i>trigger</i> com vetos.....	52
Figura 48 - Identificador e contador de eventos.	53
Figura 49 - Funcionamento do sistema de aquisição de dados.....	54
Figura 50 - Diagrama de reconstituição dos dados adquiridos.....	55
Figura 51 - Sinais de comunicação FPGA - SBC.....	56
Figura 52 - Fluxo de configuração e comunicação de dados.	57
Figura 53 - Configuração do Experimento no Laboratório do CBPF.....	59
Figura 54 - FPGA e SBC utilizadas no experimento de <i>trigger</i>	60
Figura 55 - Função de aproximação de 0 a 285 ns com passo de 1 ns.....	62
Figura 56 - Resultado da normalização dos dados com passo de 5 ns.....	62
Figura 57 - Erros da aproximação em ponto fixo (percentual).....	63
Figura 58 - Erro de aproximação em ponto fixo (absoluto).....	63
Figura 59 - Exemplo de evento de neutrinos do <i>testbench</i> de energia.....	64
Figura 60 - Valores de energia do evento de neutrinos no <i>testbench</i>	64
Figura 61 - Histograma de do erro acumulado a partir do <i>test bench</i>	65
Figura 62 - Sinal de neutrino gerado por simulação.	66
Figura 63 - Aplicação do <i>threshold</i> analógico de 10 mV nos sinais dos neutrinos.....	67
Figura 64 - Erros de truncamento causados pela amostragem na estimação da energia.....	67
Figura 65 - Histograma do erro causado pela amostragem na estimação da energia.	68
Figura 66 - Histograma da duração dos sinais de 10976 eventos.	69
Figura 67 - Um evento de <i>trigger</i> com <i>threshold</i> igual a 32.....	70
Figura 68 - Frequência de eventos para diferentes <i>threshold</i> de PMTs.	70
Figura 69 - Evento de trigger com threshold igual a 18.	71
Figura 70 - Resultados de aquisição para diferentes thresholds de multiplicidade.....	71

Figura 71 - Sinal do PMT 0 amostrado pelo NDAQ.....	72
Figura 72 - Amostra do NDAQ discriminada.	73
Figura 73 - Tela de configuração de parâmetros via SBC.	74
Figura 74 - Tela para execução das rodadas de <i>trigger</i>	75
Figura 75 - Fotografia dos componentes do FPGA utilizados na configuração manual.	76
Figura 76 - Módulos SPI com clock 50 MHz.	77
Figura 77 - Circuito de <i>edge detection</i>	79
Figura 78 - Diagrama de onda dos sinais do <i>edge detection</i>	79
Figura 79 - Circuito de prolongamento de sinal.	79
Figura 80 - Diagrama de onda dos sinais do circuito de prolongamento de sinal.	80
Figura 81 - RTL View do somador de energia.	80
Figura 82 - Circuito do <i>trigger</i> por energia no <i>Altera Quartus II</i>	81
Figura 83 - Teste experimental de tempos de resposta.	82
Figura 84 - Histograma de tempos de resposta de <i>trigger</i> via <i>testbench</i>	83
Figura 85 - Comparativo da diferença entre o tempo de simulação e o adquirido.	83

LISTA DE TABELAS

Tabela 1 - Pico de amplitude média do <i>front-end</i> e SNR para resposta de SPE.	28
Tabela 2 - Parametros de aproximação linear ($Ax + B$).	28
Tabela 3 - Parâmetros de aproximação da função $f(x) = Ax^B + C$ [29].	29
Tabela 4 - Principais parâmetros de configuração e comunicação.	57
Tabela 5 - Comparativo entre dados do NDAQ e do sistema de aquisição FPGA.	73

LISTA DE ABREVIATURAS E SÍMBOLOS

ADC	<i>Analog to Digital Converter</i>
AF	<i>Attenuation Factors</i>
AGS	<i>Alternating Gradient Synchrotron</i>
AMT	<i>ATLAS Muon TDC</i>
ASIC	<i>Application-Specific Integrated Circuit</i>
BTB	<i>Borexino Trigger Board</i>
c	Velocidade da luz
CBPF	Centro Brasileiro de Pesquisas Físicas
CERN	<i>Conseil Européen pour la Recherche Nucléaire</i>
DAQ	<i>Data Acquisition Systems</i>
DSP	<i>Digital Signal Processing</i>
DUV	<i>Design Under Verification</i>
FADC	<i>Flash Analog-to-Digital Converter</i>
FEE	<i>Front-end Electronics</i>
FIFO	<i>First In First Out</i>
FPGA	<i>Field Programmable Gate Array</i>
FWHM	<i>Full-Width Half-Maximum</i>
GDSII	<i>Graphic Database System Information Interchange</i>
HDL	<i>Hardware Description Language</i>
HEP	<i>High Energy Physics</i>
HV	<i>High Voltage</i>
I ² C	<i>Inter-Integrated Circuit</i>
UFJF	Universidade Federal de Juiz de Fora
IP	<i>Intellectual Property</i>
ISS	<i>Input Status Synchronization</i>
KAMLAND	<i>Kamioka Liquid Scintillator Antineutrino Detector</i>
L1	<i>Level 1</i>
LEP	<i>Large Electron-Positron</i>
LHC	<i>Large Hadron Collider</i>
LUT	<i>Look Up Table</i>
m_e	Massa do elétron
MIF	<i>Memory Initialization File</i>
M_n	Massa do novo núcleo

Mo	Massa do núcleo original
MTB	<i>Muon Trigger Board</i>
NDAQ	<i>Neutrinos Data Acquisition</i>
PC	<i>Pico Coulomb</i>
PLL	<i>Phase-locked loop</i>
PMT	<i>Photomultiplier Tubes</i>
QBEE	<i>QTC-Based Electronics with Ethernet</i>
QTC	<i>Charge-to-time Converter</i>
RENO	<i>Reactor Experiment for Neutrino Oscillation</i>
ROM	<i>Read Only Memory</i>
RTL	<i>Register-Transfer Level</i>
SBC	<i>Single Board Computer</i>
SNEWS	<i>SuperNova Early Warning System</i>
SNR	Signal-to-Noise Ratio
SPE	<i>Single Photo Electron</i>
SPI	<i>Serial Parallel Interface</i>
SUPER-K	<i>Super-Kamiokande</i>
TB	<i>Trigger Board</i>
TCP/IP	<i>Transmission Control Protocol/Internet Protocol</i>
TDC	<i>Time-to-digital Converter</i>
TMB	<i>Trigger Master Board</i>
TTW	<i>Trigger Time Window</i>
UFABC	Universidade Federal do ABC
UFBA	Universidade Federal da Bahia
UNICAMP	Universidade Estadual de Campinas
USB	<i>Universal Serial Bus</i>
UVM	<i>Universal Verification Methodology</i>
VCD	<i>Value Change Dump</i>
VME	<i>Versa Module Europa bus</i>
VPN	<i>Virtual Private Network</i>
WWW	<i>World-Wide Web</i>

SUMÁRIO

RESUMO.....	VI
ABSTRACT	VII
LISTA DE FIGURAS.....	VIII
LISTA DE TABELAS.....	XI
LISTA DE ABREVIATURAS E SÍMBOLOS.....	XII
1 Introdução	1
1.1 Apresentação do Problema	2
1.2 Objetivos	3
1.3 Organização do Documento	3
2 Introdução à Física de Altas Energias	5
2.1 Neutrinos.....	5
2.2 Detectores.....	7
3 Seleção <i>online</i> de Eventos em Detectores de Neutrinos	12
3.1 Super-Kamiokande.....	13
3.2 Double Chooz.....	15
3.3 Daya Bay.....	18
3.4 Borexino	19
3.5 RENO.....	20
4 O Detector Neutrinos Angra	22
4.1 Caracterização dos PMTs e <i>Front-End</i>	27
5 Metodologias de Projeto de Circuitos Digitais.....	30
5.1 Fluxo de Implementação	30
5.2 Sistemas de Verificação Funcional e Testes	32
6 Proposta de Sistemas de Seleção <i>Online</i> de Eventos de Antineutrinos do Experimento Neutrinos Angra	34
6.1 Requisitos dos Sistemas de <i>Trigger</i> de Primeiro Nível	37
6.2 Arquitetura Detalhada dos Sistemas de <i>Trigger</i>	39
6.3 <i>Trigger</i> de Antineutrinos por Multiplicidade.....	41
6.4 <i>Trigger</i> de Antineutrinos por Energia	44
6.5 Sistemas de <i>Trigger</i> de Múons.....	48
6.6 Sistemas Auxiliares de <i>Trigger</i>	49
6.7 Comportamento dos Eventos de <i>Trigger</i>	51
6.8 Sistema de Aquisição de Informações de <i>Trigger</i>	53
6.9 Comunicação e Parametrização de Dados.....	56

7	Resultados	59
7.1	Análise de Erro das Aproximações de Energia.....	61
7.1.1	Cálculo de Energia a Partir de Antineutrinos Simulados	66
7.2	Resultados Experimentais	68
7.2.1	Aquisições via NDAQ	72
7.3	Configuração do Experimento	74
7.3.1	Configuração Manual de <i>Trigger</i> Auxiliar	76
7.4	Resultados dos Circuitos Digitais	77
7.4.1	Análise de Tempo e Latências.....	81
8	Conclusões	85
	Referências	87
	ANEXOS.....	90
	ANEXO A - Produção Científica.....	90

1 Introdução

A Física de Altas Energias, do inglês *High Energy Physics* (HEP), ao longo dos anos trouxe diversas contribuições a respeito da natureza e comportamento de reações nucleares, atividades solares, fenômenos cósmicos e aceleração de partículas. Contudo, para o desenvolvimento dos experimentos de HEP são necessários aparatos sofisticados e de alta tecnologia, que envolvem diversas áreas multidisciplinares tais como Engenharia Elétrica, de Computação, de Materiais, Física, etc. Com o auxílio destas áreas, são criados diversos instrumentos que propiciam a aquisição dos sinais, condicionamento, armazenamento e a disponibilização de dados para análises futuras.

Cientistas acreditam que a observação de neutrinos de altas energias pode ajudar no entendimento de diferentes questões relacionadas à Física de Partículas e aos fenômenos do universo [1]. A ideia central é utilizar neutrinos como ferramentas para estudar mecanismos de aceleração de partículas, reações nucleares e objetos astrofísicos energéticos, tais como núcleos ativos de galáxias e explosões de raios gama. Acredita-se que com tais estudos, será possível chegar a postulação da origem dos raios de ultra alta energia cósmica [1] [2].

Num contexto histórico, após a descoberta da radioatividade, em 1896, diversos postulados e novas descobertas foram desencadeadas no ramo da Física de Partículas e de Altas Energias. Porém, somente em 1934 os neutrinos foram propostos por Enrico Fermi e ainda somente mais tarde, em 1956, que foram detectados e medidos pela primeira vez por Clyde Cowan e Frederick Reines na usina nuclear de Savannah River, nos Estados Unidos [1]. Esta lacuna entre postulação e detecção se deve aos neutrinos serem elementos que tem baixa interação com a matéria, o que dificulta o processo de detecção. Sua detecção só foi possível após o surgimento dos aceleradores de partículas e reatores nucleares, que são fontes intensas de neutrinos, e pelo avanço no desenvolvimento de instrumentos específicos para a aquisição.

Estes requisitos tornam os detectores de neutrinos uma das áreas mais desafiadoras no que tange aos aparatos tecnológicos e científicos necessários para o monitoramento de partículas, bem como uma das áreas com grande potencial para exploração e desenvolvimento de pesquisa aplicada.

Na classificação geral, existem 3 tipos de neutrinos: neutrino do tau, neutrino do múon e neutrino do elétron, e seus respectivos antineutrinos. No universo há diversas fontes de neutrinos tais como a atmosfera, o sol, as supernovas, a radiação natural da

Terra e as reações nucleares [1]. Desde sua primeira observação experimental, diversos detectores de neutrinos/antineutrinos ao redor do mundo passaram a investigar seus comportamentos e suas respectivas relações, na determinação de fenômenos associados aos meios que estão inseridos.

1.1 Apresentação do Problema

Os métodos experimentais utilizados ao longo dos anos em Física de Partículas fizeram uso das mais diversas tecnologias para alcançar seus objetivos. Numa visão da Engenharia Elétrica, as principais áreas de atuação em detectores de neutrinos são: aquisição, tratamento, condicionamento, filtragem e processamento dos sinais emitidos pelos neutrinos, bem como fontes de alimentação de alta tensão. Em resumo, estão em torno das sub áreas do conhecimento relacionadas à instrumentação, ao processamento digital de sinais, à lógica digital e à microeletrônica.

No contexto dos detectores da Física de Altas Energia, no Brasil há o experimento Neutrinos Angra que visa medir o fluxo de antineutrinos ($\bar{\nu}_e$) gerado no reator da usina nuclear de Angra II, localizada nas proximidades da Cidade de Angra dos Reis, Rio de Janeiro. Com base na análise do comportamento dos antineutrinos é possível estimar, de forma indireta, a potência térmica instantânea dissipada no reator e obter características do material nuclear [3].

No Neutrinos Angra, a topologia adotada e as restrições impostas no projeto, tais como instalação na superfície e proibição de determinados tipos de componentes químicos, influenciaram diretamente no método e nos aparatos de detecção desenvolvidos. De modo geral, os detectores de neutrinos, tais como Double Chooz [4], KamLAND [5], Palo Verde [6], KARMEN [7], Daya Bay [8] e Super Kamiokande [9], são dispostos no subsolo com objetivo de usar o solo como blindagem natural contra as radiações cósmicas e outras fontes de neutrinos externas. No projeto brasileiro, estas restrições geraram particularidades e desafios relacionados à identificação correta dos eventos de interesse pelos sistemas de aquisição, filtragem e seleção *online* (*trigger*).

Na sua fase atual de projeto, o experimento Neutrinos Angra já contém diversos sistemas desenvolvidos, testados e validados, entre eles pode-se mencionar: detector central, com os respectivos *Photomultiplier Tubes* (PMTs) para aquisição antineutrinos, sistemas de veto, com as PMTs para aquisição de múons, modelos de simulação, circuitos de alimentação, eletrônica de *front-end*, eletrônica de aquisição, placas eletrônicas *Neutrinos DAQ* (NDAQs), sistemas de comunicação e redes. Contudo, de modo a obter a

integração de todo o fluxo de aquisição do detector ainda são necessários alguns sistemas eletrônicos para seleção *online* de eventos [3].

Os sistemas de seleção *online* de eventos (*trigger*) são responsáveis por selecionar os eventos de interesse e por informar o instante de aquisição para os demais sistemas do detector, como por exemplo os NDAQs.

1.2 Objetivos

O objetivo do presente trabalho corresponde ao projeto em *Field-Programmable Gate Array* (FPGA) do primeiro nível do sistema de seleção *online* de eventos (*trigger*) e dos módulos de aquisição de parâmetros do sistema de *trigger* do experimento Neutrinos Angra. Também faz parte do escopo, o sistema de comunicação remota dos dados do FPGA, realizado através do uso de plataforma *Single Board Computer* (SBC).

De modo a atingir estes objetivos, foram desenvolvidos módulos eletrônicos digitais, através de lógica digital reconfigurável, capazes de analisar, em tempo real, os sinais medidos no detector e separar os eventos de interesse dos eventos que não são importantes para o experimento, chamados de ruídos de fundo. Os módulos desenvolvidos são responsáveis por coletar os sinais digitais discriminados oriundos dos módulos eletrônicos de *front-end*, avaliar as condições de ruído e indicar o instante correto de aquisição dos sinais de interesse para os demais sistemas do experimento, os *Neutrinos Data Acquisition* (NDAQs).

Os principais objetivos específicos deste trabalho foram desenvolver:

- Sistema de *trigger* para detector central (antineutrinos) e veto (múons);
- Eletrônica digital do sistema de *trigger* de primeiro nível do detector central baseada nos critérios de seleção: Multiplicidade e Energia, descritos no Capítulos 3 e 6;
- Eletrônica digital do sistema de comunicação remota de configurações;
- *Firmware/software* de comunicação e controle da SBC;
- *Scripts/códigos* para simulações, testes e verificações funcionais; e
- Relatórios dos resultados e publicações na comunidade científica.

1.3 Organização do Documento

Este documento está organizado de acordo com a distribuição indicada a seguir: no capítulo 2 é apresentada uma contextualização sobre Física de Altas Energias com foco

nos neutrinos e na visão geral sobre detectores. O capítulo 3 apresenta uma revisão a respeito de sistemas de *trigger* em experimentos de detecção de neutrinos. No capítulo 4 é apresentado o experimento Neutrinos Angra e os principais sistemas necessários para o entendimento do propósito deste trabalho. No capítulo 5 é feita uma revisão das metodologias de desenvolvimento e verificação funcional de circuitos integrados aplicadas em sistemas de FPGAs. O capítulo 6 apresenta os detalhes gerais do sistema proposto neste trabalho e o capítulo 7 detalha os principais resultados alcançados. Finalmente, as conclusões e propostas de trabalhos futuros são descritas no capítulo 8.

2 Introdução à Física de Altas Energias

A Física de Altas Energias (HEP) busca compreender a natureza fundamental da matéria em termos das interações entre seus constituintes fundamentais [10]. O estudo experimental de HEP teve início no final do século XIX quando foi observado experimentalmente o elétron. Contudo, somente a partir da década de 1950 houve um crescimento acentuado na área com a descoberta de centenas de novas partículas.

Para possibilitar a realização de estudos relacionados à Física de Partículas são necessários equipamentos denominados detectores, os quais são projetados para observar fontes de geração de partículas de altas energias tais como raios cósmicos, elementos químicos radioativos, aceleradores de partículas e reatores nucleares [10].

Os neutrinos, na Física de Altas Energias, são elementos que tem baixa interação com a matéria e impõem diversos desafios no que diz respeito à aquisição, seleção e interpretação dos sinais provenientes dos detectores.

Em virtude da complexidade dos experimentos, a construção dos detectores faz uso de tecnologias multidisciplinares das mais variadas áreas da Física, Química, Engenharia Elétrica, Eletrônica e Computação. Também faz uso dos mais variados equipamentos de ponta disponíveis e, entre outros casos, foi responsável pelo desenvolvimento de diversos novos padrões, sistemas, equipamentos e tecnologias de importante relevância para a comunidade científica e civil. Por exemplo, a construção dos aceleradores e detectores de partículas propiciaram o desenvolvimento de equipamentos médicos atuais capazes de realizar diagnósticos de alta precisão, tais como ressonância magnética, raio-X e tomografia [10]. A primeira versão da *World-Wide Web* (WWW), por exemplo, foi desenvolvida para possibilitar a comunicação de pesquisadores do Centro Europeu para Pesquisa Nuclear (CERN) [11].

A área da Engenharia Elétrica contribui diretamente no projeto e na operação dos detectores no que tange à aquisição, filtragem, condicionamento e interpretação dos sinais provenientes dos transdutores dos experimentos. Conseqüentemente, estas contribuições são responsáveis por diversas pesquisas relacionadas à instrumentação, processamento digital de sinais, sistemas digitais e microeletrônica.

2.1 Neutrinos

Os neutrinos são partículas elementares, que de acordo com os cientistas, estão presentes em toda matéria [1]. Na Física de Altas Energias, os neutrinos podem ser

utilizados como ferramentas para o estudo de partículas e de objetos astrofísicos energéticos, tais como núcleos ativos de galáxias e explosões de raios gama.

No contexto histórico, a radioatividade foi descoberta em 1896 pelo físico Henri Becquerel. Entre 1897 e 1898, as radiações alfa e beta foram descobertas por Ernest Rutherford, a partir de um experimento com raios emitidos por urânio e coletados em finas folhas de alumínio. Em 1900, um terceiro tipo de radiação ainda mais penetrante, a gama, foi descoberta por Paul Villard. Em 1930, Wolfgang Pauli sugeriu que outra partícula era emitida nos valores do espectro da radiação. Tal partícula deveria ser eletricamente neutra, para ser compatível com a conservação de carga e por não haver sido detectada através de ionização. Um detalhe histórico é que o nêutron ainda não tinha sido descoberto e somente em 1932, James Chadwick formulou sua teoria [12].

Em 1934, Enrico Fermi fez uso da partícula descrita por Pauli e postulou os neutrinos, que estão ligados diretamente à natureza da radiação beta [13]. Diferente das radiações alfa e gama, que tem valores bem definidos de energia, a natureza da radiação beta intrigava os cientistas por violar um dos princípios fundamentais da física, o da conservação de energia [13].

Na teoria de Fermi ele afirma que como a energia dos elétrons observados no decaimento beta possui valor máximo definido pela Equação 1, a massa da nova partícula deveria ser extremamente pequena. Tal partícula passou a ser chamada de neutrino [13].

$$E = \left(\frac{M_o^2 - M_n^2 + M_e^2}{2M_o} \right) c^2 \quad (1)$$

Onde:

- **M_o** é a massa do núcleo original;
- **M_n** é a massa do novo núcleo;
- **M_e** é a massa do elétron;
- **c** é a velocidade da luz.

Em resumo, a Equação 1 representa a energia do elétron por conservação da energia, considerando que o núcleo atômico original está em um referencial de repouso.

Após esta postulação, iniciou-se o processo de detecção dos neutrinos. No início, alguns afirmavam que os neutrinos seriam impossíveis de serem detectados, uma vez que era uma partícula sem carga e, supostamente, sem massa. Nas suposições, um neutrino atravessaria quilômetros de matéria sem interagir com algo. Contudo, a detecção, ao final, só foi viável a partir dos fatores a seguir [14]:

1. O surgimento de reatores nucleares, que emitem neutrinos intensamente;

2. O desenvolvimento de cintiladores que, ao serem adicionados aos detectores baseados em água, aumentam a eficiência dos mesmos; e
3. O aperfeiçoamento dos instrumentos tecnológicos de medição, instrumentação e equipamentos de laboratório.

Clyde Cowan e Frederick Reines construíram um detector de neutrinos em 1956, próximo à Usina de Savannah River, nos Estados Unidos, e foram capazes de medir o fluxo de neutrinos pela primeira vez. Com este feito, Cowan foi premiado com o Nobel de Física em 1995. Em 1962, Lederman desenvolveu um experimento no acelerador *Alternating Gradient Synchrotron* (AGS) do laboratório de Brookhaven, nos Estados Unidos, que detectou pela primeira vez o neutrino do múon [15], e foi premiado com o prêmio Nobel em 1988 [12]. A partir de um estudo realizado no *Large Electron-Positron* (LEP) do CERN, em 1989, sobre o bóson Z, foi constatada a existência de uma outra família de neutrinos, a do tau. O detector DONUT, em 2000, foi o primeiro dedicado ao tau [16].

Em linhas gerais de aplicação, a ideia central é utilizar os neutrinos como sondas não-invasivas de processos físicos dos quais participam.

2.2 Detectores

A detecção de neutrinos requer tecnologias e métodos sofisticados, em virtude da baixa probabilidade de ocorrência de eventos envolvendo os mesmos. A probabilidade da interação de um neutrino com uma molécula de água (com o próton que constitui o núcleo do Hidrogênio) é de 7 em 10^{22} , para 1 cm^3 de água [1]. Para tanto, é necessário aproximadamente 10^{21} cm^3 (o que corresponderia a aproximadamente 1 milésimo de toda a água dos oceanos da Terra) de água para absorver um neutrino. Nas proximidades dos reatores nucleares e aceleradores de partículas, a probabilidade de interação de neutrinos aumenta exponencialmente, o que viabiliza a realização de experimentos de detecção próximos a estas fontes ao redor do mundo.

Os detectores de neutrinos estão associados à natureza das suas respectivas fontes emissoras. Há três tipos de neutrinos conhecidos, com seus respectivos antineutrinos, o neutrino do elétron, do tau e do múon [14]. Para cada tipo de neutrino é necessário um tipo de detector: até hoje não foi desenvolvido um experimento único que seja capaz de detectar mais de um tipo de neutrino, em virtude das diferentes faixas de energia de cada um dos tipos [14] [17].

As principais fontes de neutrinos catalogadas, com os principais detectores em operação, são:

1. Atmosfera:
 - Super-Kamiokande, no Japão [9].
2. Sol:
 - Borexino, na Itália [18].
3. Aceleradores de Partículas:
 - MicroBooNE (FermiLab), Estados Unidos [19].
4. Reatores Nucleares:
 - Double Chooz, na França [4] [20];
 - Daya Bay, na China [21];
 - *Reactor Experiment for Neutrino Oscillation* (RENO), na Coreia [22];
5. Geo-Neutrinos:
 - *Kamioka Liquid Scintillator Antineutrino Detector* (KamLAND), Japão [5].
6. Supernovas:
 - *SuperNova Early Warning System* (SNEWS), Estados Unidos [23].

Os detectores em geral apresentam uma estrutura comum e contêm normalmente:

- *Photomultiplier Tubes* (PMTs) e transdutores responsáveis pela aquisição dos sinais de interesse, sejam eles neutrinos, múons, raios gama, entre outros;
- Sistema de alimentação de alta tensão, responsável por alimentar as PMTs e sistemas do detector;
- Eletrônica de *front-end* (*Front-End Electronics* - FEE), que amplifica, condiciona, adequa e modela o sinal das PMTs, para que fique de acordo com as especificações dos sistemas de aquisição;
- Sistema de aquisição de dados (*Data Acquisition* - DAQ) que coleta os dados condicionados das PMTs oriundos das FEEs, realiza análises simples e armazena os dados temporariamente, para posterior transmissão para o sistema de pós-processamento;
- Sistemas de *trigger* e sistema de sincronização de *clock*, os quais são, respectivamente, responsáveis por determinar o instante correto de aquisição para os DAQs e por manter os módulos eletrônicos sincronizados em fase e frequência;
- Equipamentos de rede, armazenamento e pós processamento (computadores e/ou servidores). Itens auxiliares que transmitem e concentram os dados coletados nos detectores, para posterior processamento e análises no ramo da Física de Altas Energias e em áreas correlatas; e

- Aparatos químicos, físicos e estruturas auxiliares, responsáveis por prover a infraestrutura básica para fixação, isolamento, blindagem, condicionamento e funcionamento nominal dos equipamentos.

Os aparatos dos detectores de neutrinos são organizados em grupos, cada um responsável por coletar uma faixa de energia, determinada partícula de interesse e/ou ruídos de fundo (partículas que não são de interesse para o experimento, mas que podem interagir com o detector). Numa estrutura padrão, há os detectores centrais ou alvos, destinados a neutrinos e/ou antineutrinos; os detectores de interferências, conhecidos como veto, destinados, por exemplo, a múons e/ou radiação gama; e detectores auxiliares derivados das configurações dos alvos e vetos, dispostos em diferentes orientações com objetivo de detectar eventos provenientes de fontes de diferentes direções.

Outra característica comum dos detectores é que normalmente eles são colocados a dezenas de metros abaixo do solo, de modo a diminuir as interferências de ruídos de fundo causadas principalmente por radiação cósmica [21]. Mesmo com esta blindagem e proteção contra ruídos de fundo, sistemas de veto são adicionados para detectar e monitorar interferências. Quando o veto é ativado, os sinais de neutrinos capturados pelos detectores alvo são descartados pelos sistemas de DAQ ou são classificados como não relevantes, para posterior pós-processamento/análise *off-line* [12].

Na Figura 1 é ilustrada a topologia do detector padrão de antineutrinos do experimento Daya Bay na China, contendo o alvo, sistemas de blindagem, calibração, detectores e aparatos de infraestrutura.

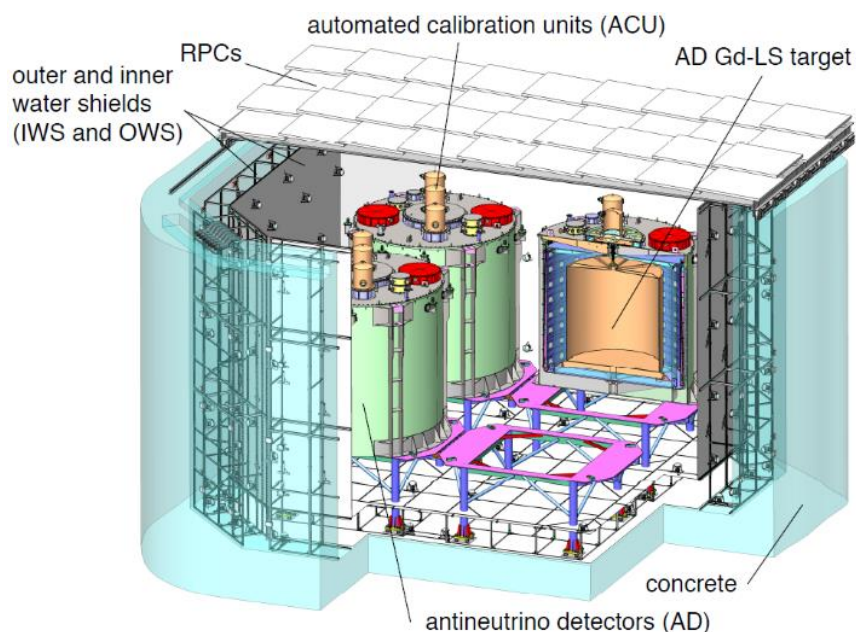


Figura 1 - *Layout* do detector padrão de antineutrinos do Daya Bay [21].

Do ponto de vista de elétrica/eletrônica, o fluxo de dados começa nos PMTs, que são alimentados pelos sistemas de alta tensão (do inglês, *High Voltage* - HV), passa pela eletrônica de *front-end* e são avaliados pelos sistemas de *trigger*. Caso estejam de acordo com as condições pré-estabelecidas, os sistemas de *trigger* emitem sinais de disparo para que os sistemas de DAQ adquiram os dados em formato analógico e/ou digital. Estes sinais são agrupados e transmitidos para os sistemas de armazenamento. Na Figura 2 são ilustrados modelos de PMTs utilizados em detectores de neutrinos.



Figura 2 - Fotografia de modelos de *Photomultiplier Tubes* (PMT) [24].

Os tipos de PMTs são associados de acordo com a natureza e comportamento do sinal que está sendo adquirido, bem como do meio no qual está montado o detector. Por exemplo, há PMTs mais adequados para detecção Cherenkov em água, enquanto outros devem ser utilizados com líquidos cintiladores.

Um diagrama básico da eletrônica do detector Double Chooz, contendo os PMTs, alimentação, *front-end* (FEE) *trigger* e aquisição, é apresentado na Figura 3.

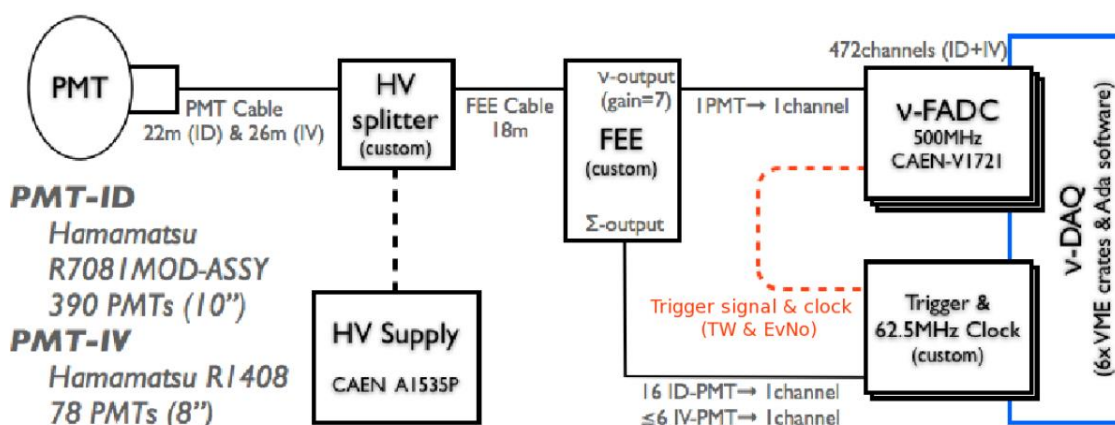


Figura 3 - Esquemático da cadeia de aquisição do detector Double Chooz [4].

No fluxo de dados apresentado na Figura 3, os PMTs são (alimentados pela fonte de alimentação de alta tensão) coletam os dados dos neutrinos, as FEEs realizam o

condicionamento dos sinais, aplicam o ganho e distribuem os sinais para o sistema de aquisição e *trigger*, o qual determina o instante de ocorrência dos sinais de interesse.

Um exemplo de placa eletrônica de *front-end* do detector Borexino é apresentado na Figura 4, o qual concentra somente o condicionamento de 12 canais analógicos.

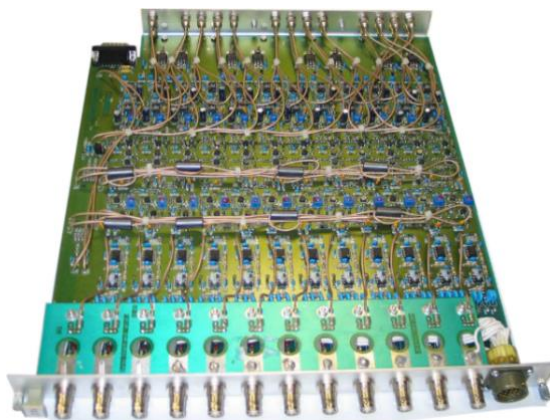


Figura 4 - Fotografia da placa eletrônica de *front-end* do detector Borexino [18].

Na Figura 5 é ilustrada a placa eletrônica de aquisição e *trigger* do detector Super-Kamiokande, que concentra desde o *front-end* até a interface de comunicação *ethernet*.

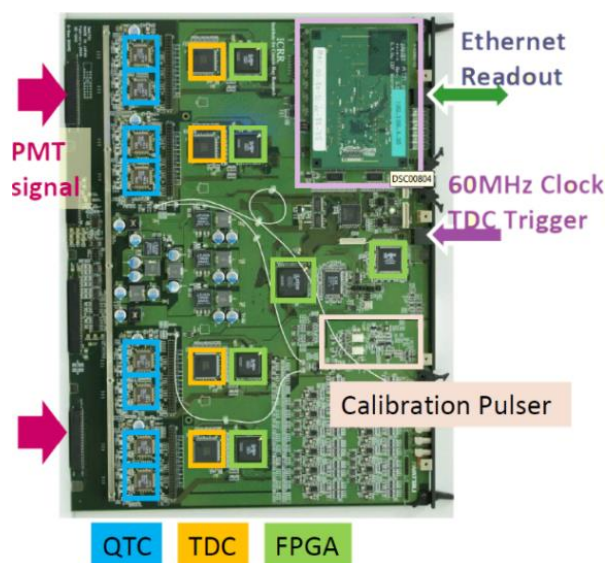


Figura 5 - Fotografia da placa eletrônica QBEE do Super-Kamiokande [9].

A placa eletrônica de comunicação do Super-Kamiokande é composta por 8 *time-to-digital converter* (TDC) e 4 *charge-to-time converter* (QTC), bem como por 6 FPGAs para processamento dos dados digitais e comunicação. Os detalhes do detector são apresentados na Seção 3.1.

3 Seleção *online* de Eventos em Detectores de Neutrinos

No contexto da Engenharia Elétrica, os sistemas de *trigger* são oriundos da área da instrumentação eletrônica e estão normalmente ligados à aquisição de dados. Estes sistemas funcionam como seletores e observam o comportamento dos dados de entrada: quando as condições especificadas são satisfeitas, eles emitem sinais de gatilho, para que outros sistemas façam uso destes dados [25].

Em HEP, os sistemas de seleção *online* (*trigger*) têm conotações importantes no que tange à identificação e seleção de eventos raros a partir da observação dos mais variados fenômenos científicos como, por exemplo, fissão nuclear e aceleração de partículas. No geral, os eventos de interesse ocorrem numa frequência muito menor do que os demais eventos produzidos nos fenômenos que estão sendo monitorados, considerados pela Física como ruídos de fundo. No *Large Hadron Collider* (LHC), acelerador de partículas atualmente em operação no CERN, em Genebra, na Suíça, a frequência dos eventos de interesse é de 10^{10} a 10^{11} vezes menor que a taxa de eventos produzidos [10].

Os sistemas de *trigger* utilizam níveis hierárquicos de filtragem ou seleção, com diferentes graus de complexidade que variam desde uma decisão lógica no sinal (borda de subida ou descida) até um reconhecimento avançado de padrões/comportamentos que utiliza, por exemplo, processamento digital de sinais, redes neurais e inteligência artificial [26]. Na Figura 6 é apresentada uma topologia hierárquica de *trigger* de experimentos de física das altas energias (HEP).

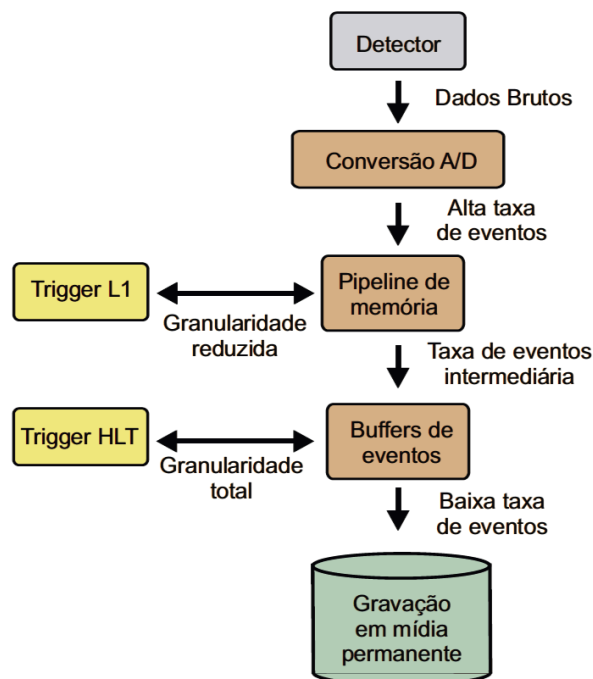


Figura 6 - Topologia Hierárquica de Trigger de HEP [10].

Os níveis hierárquicos são sequenciais onde, em cada nível (N_i), a informação é avaliada: caso esteja dentro dos critérios de seleção, tal amostra segue para o próximo nível (N_{i+1}); caso contrário, tal informação é rejeitada/descartada e não fica mais disponível no sistema. Na Figura 6, as condições do *Trigger L1* são as que determinarão se o dado passará do *Pipeline de Memória* para os *Buffers de Eventos*, e enquanto as condições do *Trigger HLT* determinarão se passarão para gravação em mídia permanente.

Comumente nos detectores de HEP os primeiros níveis, por exemplo os de seleção *online* ou nível 1 (*Level 1* ou *L1*), são realizados em *hardware* devido à necessidade de ações rápidas, de alta velocidade ou tempo real. Os sistemas destes níveis avaliam os sinais de entrada e, em poucos nanossegundos, informam se a condição foi satisfeita [26]. No geral, alguns detectores montam seus sistemas com base em *hardwares* de mercado ou, a depender da especificidade, desenvolvem seu próprio *hardware*, como é o caso do LHC do CERN e do Double Chooz, que tem suas próprias placas eletrônicas de filtragem, aquisição e processamento de dados [4] [10].

Os níveis mais altos de *trigger* estão condicionados a grandes servidores de armazenamento e processamento, bem como envolvem uso de supercomputadores para execução de rotinas derivadas do ramo da Física como, por exemplo, para estimação de formação de galáxias a partir de neutrinos cósmicos.

Nas próximas subseções serão enfatizadas as informações de sistemas de *trigger* de primeiro nível de experimentos de detecção de neutrinos ao redor do mundo, com configurações mais próximas às do experimento Neutrinos Angra, as quais contribuíram para algumas escolhas realizadas durante o projeto da solução desenvolvida neste trabalho.

3.1 Super-Kamiokande

O detector Super-Kamiokande (Super-k) fica localizado na cidade de Hida (no Japão) e tem a função de monitorar neutrinos atmosféricos e solares. O princípio de detecção é baseado no método de *Ring Imaging Cherenkov* em água [9]. Contém 50 kton de água pura e aproximadamente 13000 PMTs. Isto permite observar neutrinos atmosféricos numa faixa de energia entre 0.1 e 100 GeV e de neutrinos solares de até aproximadamente 10 MeV. A abrangência do experimento possibilita realizações de pesquisas científicas no que diz respeito à descoberta de oscilações de neutrinos e suas respectivas massas.

O objetivo geral é observar eventos raros de supernova de neutrinos, neutrinos solares de baixa energia ($\sim 3\text{MeV}$) e explosão de neutrinos de uma supernova galáctica vizinha [9].

Para o experimento foi desenvolvido uma eletrônica de *front-end* chamada de *QTC-Based Electronics with Ethernet* (QBEE) que contém o *charge-to-time converter* (QTC) e o *time-to-digital converter* (TDC) [9]. O QTC converte a informação de carga de um sinal de entrada para uma largura de sinal de saída, como mostrado na Figura 7.

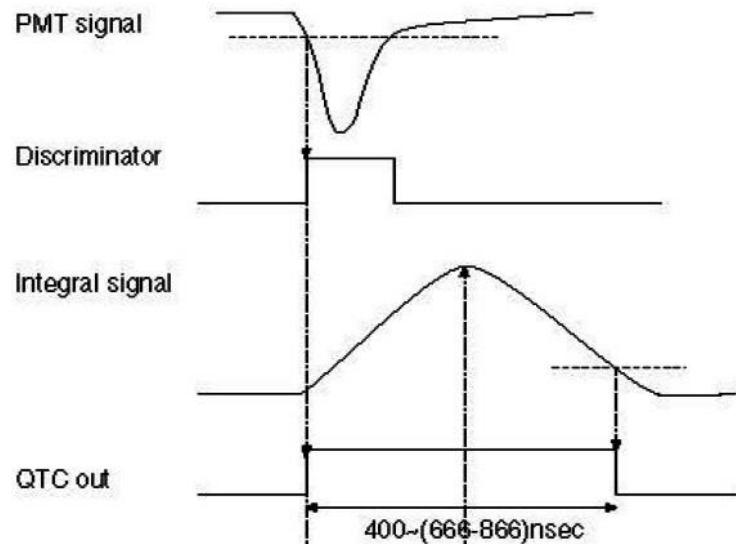


Figura 7 - Diagrama de tempo do QTC do detector do Super-K [9].

O sinal de saída do QTC tem um discriminador embutido e provê um temporizador de evento com informação da integral da carga. A partir destas informações, o TDC digitaliza cada borda de tempo dos sinais de saída do QTC e um FPGA lê os dados do TDC, calcula e libera os sinais dos eventos de tempo e da carga integrada.

No projeto foi utilizado o módulo do *ATLAS Muon TDC* (AMT) que conjuntamente com o FPGA habilita construir um sistema de tempo limite de conversão analógico digital (ADC). Neste sistema, sinais de eventos de *trigger* periódicos são distribuídos a cada $\sim 17 \mu\text{s}$ e uma janela de *trigger* para cada AMT também é liberada a cada $\sim 17 \mu\text{s}$ [9]. Esta abordagem permite que o QBEE grave todas as saídas do QTC sem perda de eventos. O *trigger* periódico e o sistema de *trigger* são apresentados na Figura 8.

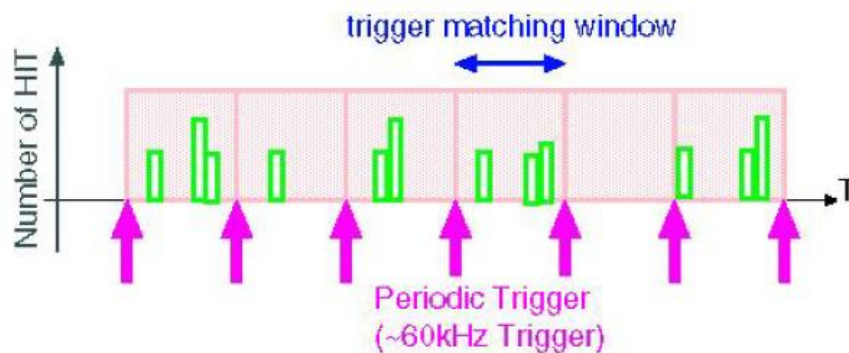


Figura 8 - *Trigger* periódico e janela de *trigger* do experimento Super-K [9].

Para manter a sincronização do sistema, um *clock* principal externo de 60 MHz é utilizado para todas as placas do QBEE, conforme ilustrado na Figura 9.

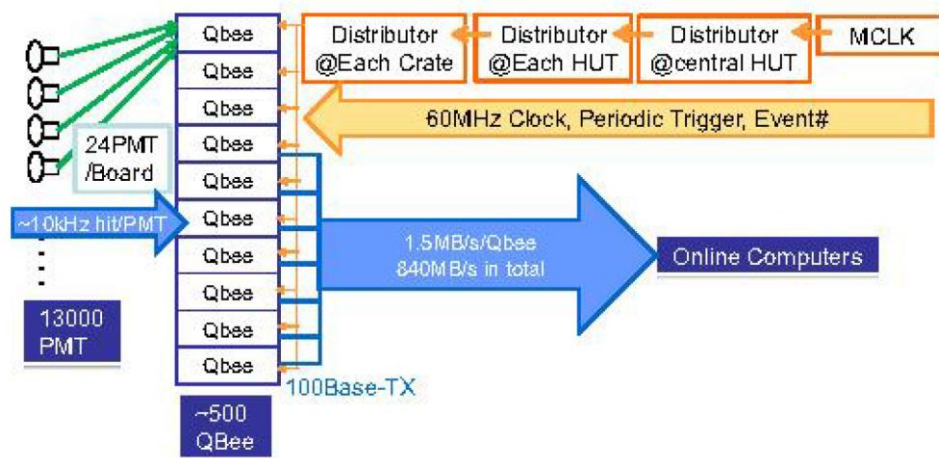


Figura 9 - Diagrama do Sistema de DAQ com o módulo de *clock* principal [9].

Após os sinais serem coletados pelos primeiros estágios do QBEE, eles são lidos pelas interfaces *Ethernet* utilizando protocolo TCP/IP implementado no FPGA. Após a validação das placas QBEE, foi desenvolvido um circuito integrado específico (ASIC) do QTC, implementado em tecnologia CMOS de 0.35 μm [9].

3.2 Double Chooz

Double Chooz é um experimento de antineutrinos localizado próximo à usina nuclear de Chooz na França. No âmbito de HEP, visa medir e monitorar o último ângulo de mistura ainda desconhecido, o θ_{13} [4] [20].

O detector está localizado numa caverna subterrânea, com cobertura de 100 metros de rocha, a aproximadamente 1 km do núcleo do reator. Este experimento contribui para estudos de detecção de neutrinos de reatores nucleares e para a não-proliferação de armas nucleares [20].

O sistema de *trigger* do Double Chooz é baseado numa decisão redundante com base em duas abordagens: (1) Energia, onde múltiplos patamares de decisão (*threshold*) são avaliados e comparados com a energia total medida; e (2) Multiplicidade, onde é verificado o número de PMTs ativos no detector [4]. No projeto do sistema foi considerado um sistema de *clock* comum para sincronizar todos os sistemas do detector, distribuir o *time stamp* padrão, o número global do evento e a classificação de cada evento de *trigger*.

Os sinais de entrada do *trigger* são pulsos analógicos oriundos dos PMTs do detector. Tais sinais são proporcionais à energia depositada no detector e cada sinal de entrada é

tipicamente a soma de 16 PMTs (grupo). Os grupos são discriminados individualmente por um patamar de decisão inferior e superior – o número de grupos ativos é utilizado pela condição de multiplicidade. Os sinais analógicos de entrada são somados e avaliados em função de quatro valores de patamar, cada um referente à sua respectiva faixa de energia.

O sinal de *trigger* final é formado por uma decisão lógica *AND* do resultado da comparação das faixas de energia depositada e da condição de multiplicidade, conforme ilustrado na Figura 10.

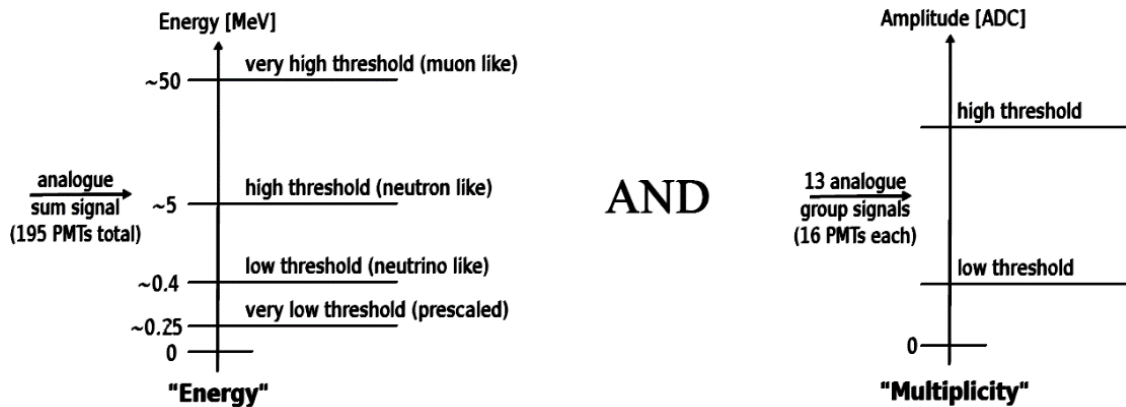


Figura 10 - Esquemático do sistema de decisão de *trigger* [4].

A vantagem do uso da decisão de *trigger* baseada na energia depositada e na condição de multiplicidade está relacionada aos critérios de redundância e confiabilidade exigidas pelo projeto. Tal abordagem diminui a probabilidade de falsos positivos (aceitação de eventos não-relevantes como sendo eventos de interesse), em casos de eventuais falhas causadas no *hardware* ou de interferências elétricas nos sistemas.

O sistema de *trigger* do Double Chooz é associado ao sistema de sincronização de tempo e foi projetado em dois níveis:

1. *Trigger Board* (TB), um sistema FPGA responsável por discriminar os sinais do detector. A parte analógica do TB consiste em vários amplificadores e discriminadores que convertem os sinais analógicos de entrada em sinais digitais para a lógica de *trigger*, e
2. *Trigger Master Board* (TMB), baseado também em FPGA, é responsável por processar os sinais digitais recebidos das quatro placas de TB e das sete fontes de *trigger* externas.

O diagrama de blocos com a arquitetura da *Trigger Board* contendo as partes analógica e digital é ilustrado na Figura 11.

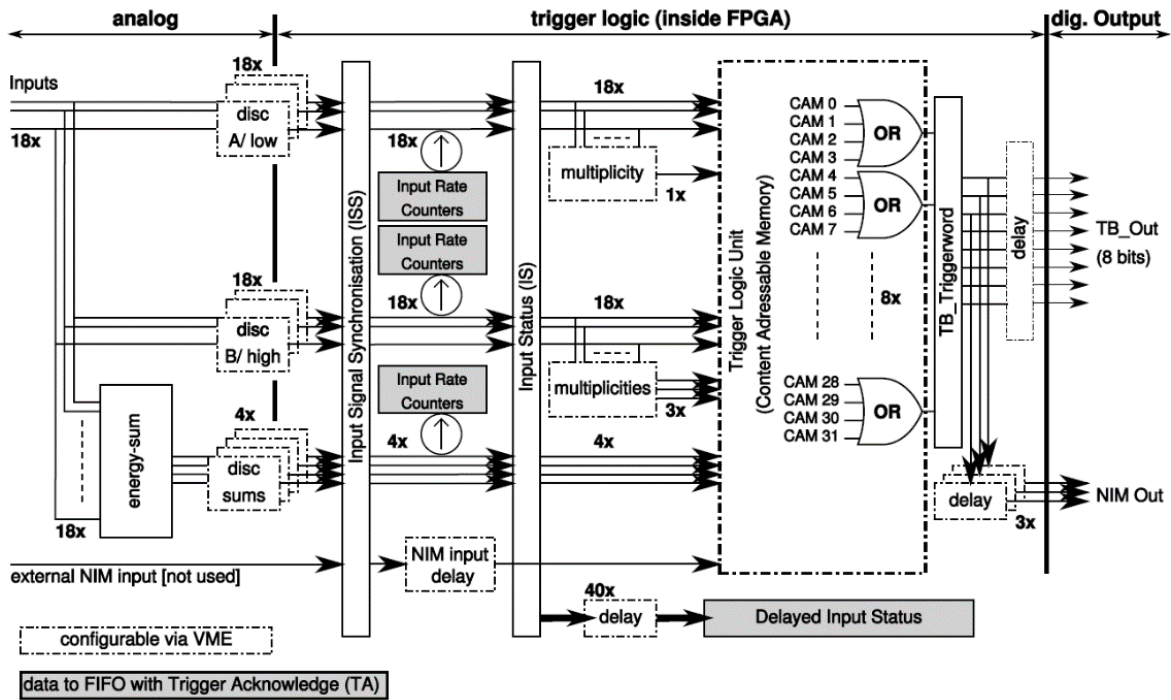


Figura 11 - Diagrama de blocos da *Trigger Board* (TB) [4].

De acordo com a Figura 10, a soma é discriminada por 4 patamares de decisão: cada discriminador opera em uma faixa dinâmica diferente devido aos diferentes amplificadores. Os discriminadores geram uma saída positiva, enquanto o patamar é excedido, porém estes sinais são assíncronos em relação ao respectivo sistema de *clock*. Desse modo foi criado o módulo *Input Status Synchronization* (ISS) para tratamento dos sinais dos discriminadores, conforme apresentado na Figura 11. Na Figura 12 é ilustrado o diagrama de onda com os sinais que representam o funcionamento do módulo ISS.

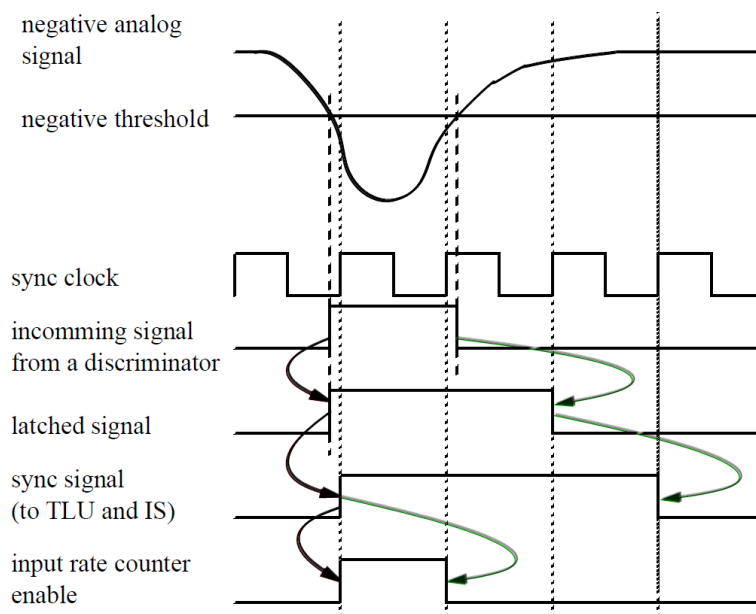


Figura 12 - Diagrama de funcionamento do circuito ISS [4].

Os sinais são processados por vários *flip-flops* no circuito ISS, que utiliza a sequência de condições apresentada na Figura 12 para garantir que não haverá sobreposição de sinais ou truncamento. Nesta sequência, um primeiro sinal, com duração de 32 ns, oriundo de um *latch*, é iniciado quando o discriminador se torna positivo e é finalizado com a próxima subida do *sync clock*. Na próxima borda de subida do *sync clock* um sinal de *latch* ativo causa o início do *sync signal* correspondente, este sinal é finalizado no ciclo de *clock* depois que o sinal de *latch* se tornar inativo [4].

3.3 Daya Bay

Localizado na China, a 70 km de Hong Kong, próximo ao complexo nuclear de Daya Bay, que contém dois reatores. Tal experimento também é próximo (a 1 km) do complexo nuclear de Ling Ao, que tem outros quatro reatores. O Daya Bay é um experimento de oscilação de neutrinos projetado para medir o ângulo de mistura θ_{13} usando antineutrinos produzidos pelos reatores do complexo [8]. O sistema de aquisição de dados (DAQ) faz interface com a eletrônica de *front-end*, *trigger*, detectores e um sistema *off-line*.

Há três detectores no experimento: *Daya Bay Site*, *Ling Ao Site* e *Far Site*. Cada detector tem seu respectivo sistema montado num *Crate VME (Versa Module Europa bus)* que contém o *trigger* e o sistema de aquisição de dados (DAQ). O sistema de DAQ lê eventos provenientes dos módulos eletrônicos de *front-end*, concatena os dados, monta os pacotes de eventos e, ao final, transmite para o sistema *online* de monitoramento e armazenamento. Na Figura 13 são ilustrados os principais sistemas do detector.

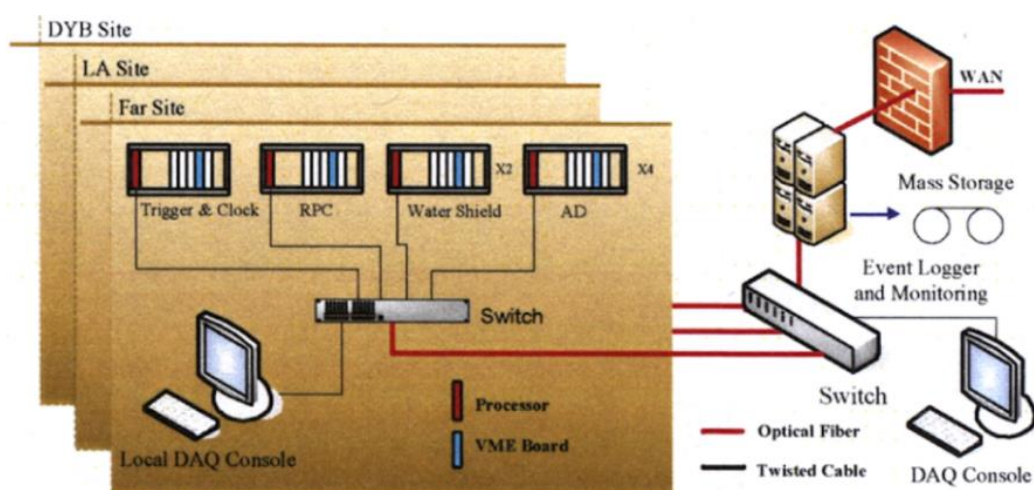


Figura 13 - Diagrama de blocos do sistema de aquisição do detector Daya Bay.

O controle do VME é realizado por uma plataforma embarcada *Single Board Computer (SBC)* que utiliza Linux de tempo real e é baseada em plataforma *Power PC*. No

geral, este é responsável por coletar, pré-processar e transferir os dados. No experimento Daya Bay o *trigger* ocorre sempre que a energia depositada estiver em determinadas faixas ou se atingir os critérios de multiplicidade de ativação dos sensores [21]. O *trigger* é formado em função do número de PMTs ativos: tais são considerados ativos quando o sinal está acima do patamar analógico do ADC de ~ 0.25 fotoelétrons (pe).

3.4 Borexino

O Borexino é um detector de líquido cintilador de grande volume que tem como principal propósito medir em tempo real a baixa energia de neutrinos solares [18]. Está localizado a dezenas de metros abaixo do solo no *Hall C* do Laboratório Nacional de Gran Sasso, na Itália. O sistema de *trigger* é formado por sistemas compostos de FPGA e módulos de processamento digital de sinais (*Digital Signal Processing, DSP*), que garantem um baixo tempo de resposta e evita o empilhamento/sobreposição de eventos.

Para o projeto, foram desenvolvidas duas placas de *trigger* baseadas em FPGA, *Borexino Trigger Board (BTB)* e *Muon Trigger Board (MTB)* [18]. No geral, quando uma condição de *trigger* ocorre, a BTB envia um sinal para os DSPs: um sinal principal de *trigger*; os dados das FIFOs dos ADCs/TDCs; e o identificador de *trigger* de 16 bits. A Figura 14 ilustra uma arquitetura base do sistema de *trigger* do detector Borexino.

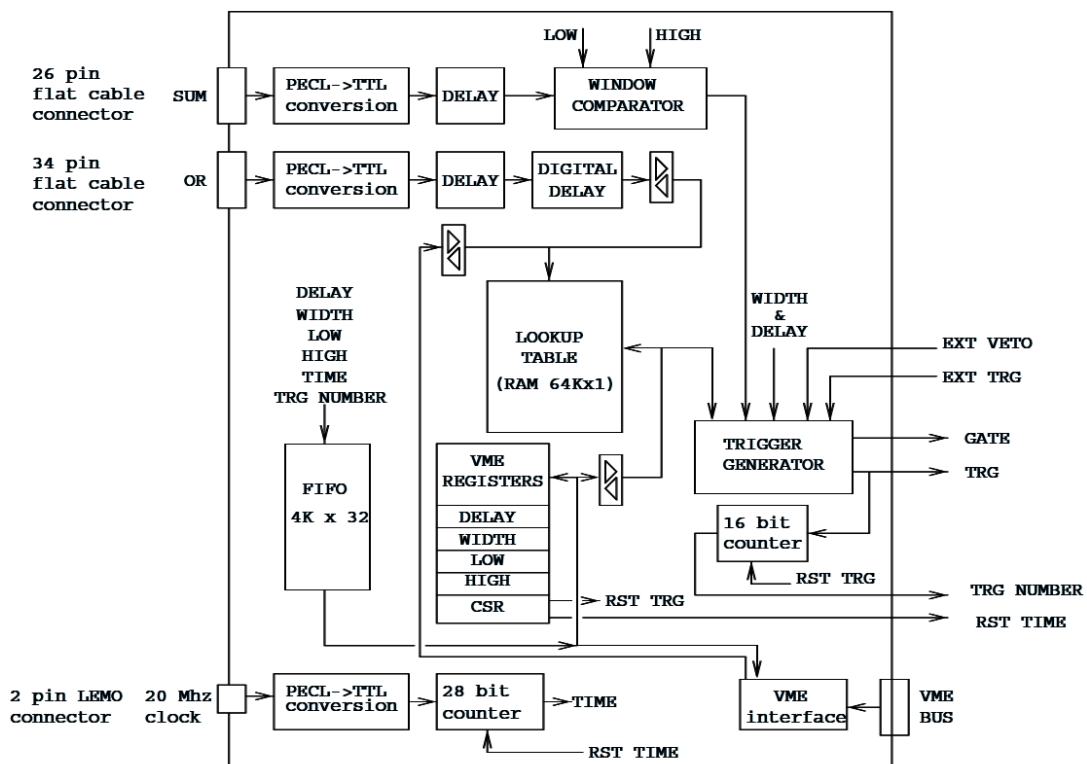


Figura 14 - Arquitetura base de *trigger* do detector Borexino [18].

O *trigger* deve ser acionado quando um número programável de PMTs estiverem ativos dentro de uma janela de tempo de *trigger* (*Trigger Time Window*, TTW) e de acordo com os critérios de multiplicidade. A cada 16 ns - 33 ns (30 a 60 MHz) cada *crate* conta quantos sinais discriminados, patamar analógico, dos PMTs estão ativos [18].

Como apresentado na Figura 14, o *core* do sistema de *trigger* utiliza um *clock* de 20 MHz e recebe os sinais da soma e da condição lógica “ou”, oriundos dos estágios de condicionamento digital. O sistema verifica se os sinais do canal da soma estão dentro da janela de tempo de *trigger* e se o valor da soma está de acordo com os valores pré-fixados na *look-up-table* (LUT). Caso estejam de acordo, são gerados os sinais de *trigger*. Adicionalmente às informações do *trigger*, são gerados elementos e sinais de controle, tais como o número do *trigger* e sinal de reset.

Para auxiliar o experimento, foi projetado um sistema interno de gravação das informações do *trigger* de acordo com um relógio global absoluto baseado em GPS. Também foram projetados um *trigger* aleatório e um temporal para verificação básica do status de funcionamento do sistema de *trigger*. No detector Borexino há um sistema de aquisição de dados que utiliza um sistema de processos com base em linguagem CORBA e usa uma base de dados em PostgreSQL, aliados às linguagens C, C++ e Perl [18].

3.5 RENO

O experimento RENO visa medir o ângulo de mistura θ_{13} usando antineutrinos emitidos pela usina nuclear de Yonggwang na Coreia. A configuração básica consiste de dois detectores de 16 toneladas de gadolínio carregados com líquido cintilador, um mais próximo do reator (290 m) e outro mais afastado (1,4 km). Esta topologia visa inspecionar a oscilação da energia dependente dos antineutrinos em função das distâncias com relação à fonte emissora. Os detectores estão dispostos no subsolo, o mais próximo a 70 metros de profundidade e o outro a 260 metros [22].

Os detectores do RENO são formados por um alvo de neutrinos, um capturador de raios gama, um *buffer* e um veto. O objetivo do sistema de veto é identificar ruídos de fundo causados por múons cósmicos, os quais podem produzir neutrinos no detector através da interação com os núcleos dos múons. O sistema de veto do detector RENO não interage com o sistema de *trigger* de neutrinos – quando o sistema de veto é ativado, as informações de ambos são armazenadas e sincronizadas para posterior análise e processamento [22].

O capturador de raios gama tem a função de coletar tais raios que escapam da região do alvo, provendo assim, uma correta medida de energia. A função do *buffer* é diminuir o nível de radioatividade de fundo.

Auxiliar aos sistemas de detecção há módulos de aquisição baseados em *Flash Analog-to-Digital Converter* (FADC) de frequência de operação de 400 MHz, que conjuntamente com dois computadores monitoram *online* os dados do detector. O diagrama do detector e sistema de *trigger* é apresentado na Figura 15.

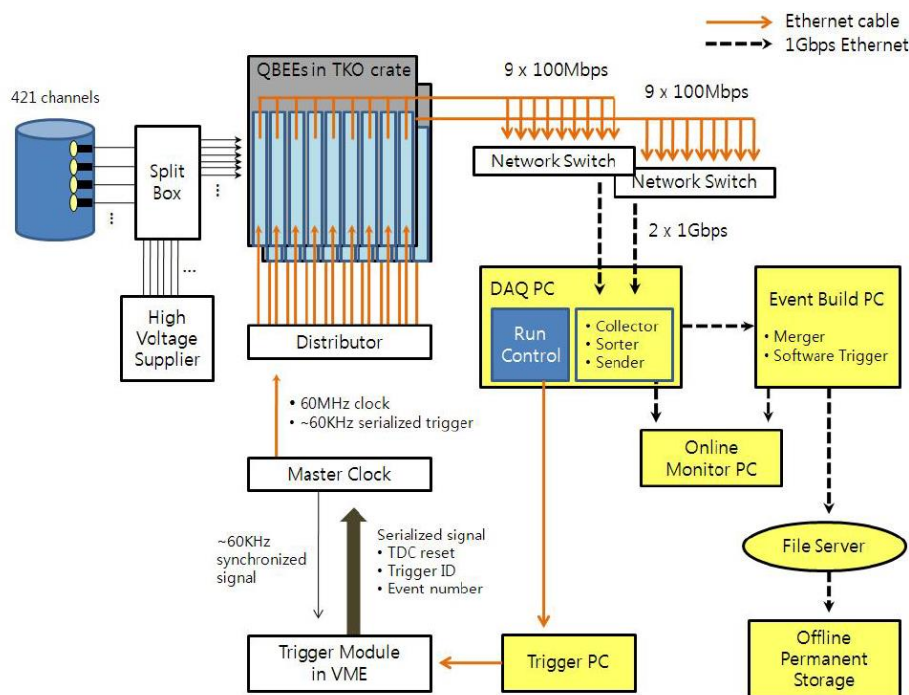


Figura 15 - Diagrama do sistema de DAQ e trigger do detector RENO [22].

O sistema de *trigger* do detector RENO trabalha em conjunto com a eletrônica de *front-end* e com os módulos QBEE, similares aos do Super-K. O *trigger* é executado em uma placa separada acoplada ao *Crate VME* e utiliza os critérios da multiplicidade aliados a uma janela de tempo. Nesta estratégia, os dados são armazenados quando há uma quantidade de PMTs ativos maior que o *threshold* e o comprimento está de acordo com uma janela de tempo [22].

Como ilustrado na Figura 15 no projeto do detector RENO, há 421 sinais dos PMTs, que são coletados pelas placas QBEEs, estas que recebem um clock oriundo do Master Clock. Quando o módulo de *trigger* emite o sinal de válido, as placas QBEEs encaminham os dados pela rede *ethernet* para o servidor da rede, o DAQ PC. Este é responsável por coordenar as rotinas de execução dos sistemas do experimento e de realizar os *triggers* de mais alto nível.

4 O Detector Neutrinos Angra

Conforme já apresentado previamente, o experimento Neutrinos Angra é um projeto brasileiro que visa detectar e monitorar o fluxo de antineutrinos no reator nuclear da usina de Angra II. O experimento faz parte de uma colaboração de pesquisa, que é formada por diversas instituições, entre elas UNICAMP, UFJF, UFABC e UFBA, e coordenada pelo Centro Brasileiro de Pesquisas Físicas (CBPF).

O sistema de detecção do experimento Neutrinos Angra é baseado na técnica de detecção de radiação Cherenkov em água [17]. Na montagem do detector foram utilizados aproximadamente 1,03 tonelada de água dopada com gadolínio (concentração de 0,3%), que colabora com a captura de nêutrons, que irão gerar fótons detectáveis. Quando o neutrino interage com os prótons da água, gera-se um pósitron e um nêutron. O pósitron é gerado com energia entre 1 MeV e 12 MeV, sendo facilmente detectável por se tratar de uma partícula carregada e estar em velocidade superior à da luz no meio, gerando luz Cherenkov. Já o nêutron é capturado pelo gadolínio e na desexcitação libera radiação gama totalizando 8 MeV [14] [17] [12]. A amostragem dos sinais oriundos dos eventos Cherenkov na água é realizada por PMTs [27].

O detector, após confecção e validação em laboratório, será instalado acima do solo, num contêiner ao lado do reator, conforme ilustrado na Figura 16 [17].



Figura 16 - Container do detector de neutrinos na usina nuclear de Angra II [17].

Como o detector não está localizado no subsolo e, conseqüentemente, não usa o solo como blindagem natural contra radiação cósmica (múons), fez-se necessário no experimento o uso de sistemas auxiliares para identificação e bloqueio destas interferências e ruído de fundo, chamados de blindagem e veto [14]. Na Figura 17 são ilustrados os principais módulos do experimento do ponto de vista da eletrônica, aquisição, condicionamento e armazenamento de dados.

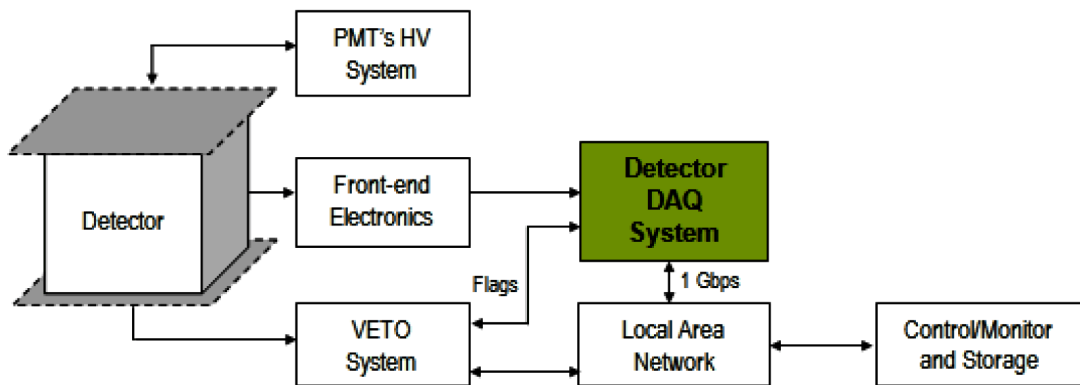


Figura 17 - Módulos do Experimento Neutrinos Angra [5].

O detector é formado por 44 PMTs polarizados pelo sistema de alta tensão e distribuídos em grupos, conforme Figura 18: (1) *Detector Central (Alvo)*: 32 PMTs para identificação dos antineutrinos, 16 na tampa superior e 16 na inferior; (2) *Sistema de Veto Externo*: 8 PMTs para detecção de múons de radiação cósmica (4 superiores e 4 inferiores); (3) *Sistema de Blindagem Ativa (Shield)*: 4 PMTs na lateral do volume externo ao alvo, para detecção de múons de radiação cósmica [3]. O sistema de alta tensão (*High Voltage System, PMT's HV System*) é responsável por fornecer as tensões necessárias para alimentar os PMTs do detector.

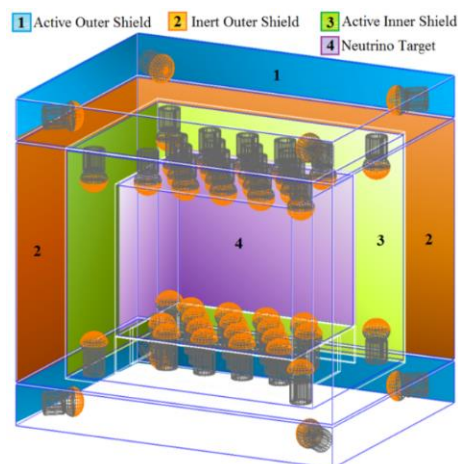


Figura 18 - Disposição das PMTs do detector Neutrinos Angra [3].

Para o detector foram projetadas placas eletrônicas específicas de aquisição de dados (*DAQ System*) denominadas NDAQ (*Neutrinos Data Acquisition*) [12]. O NDAQ é um módulo eletrônico, baseado em *Field-Programmable Gate Array* (FPGA) que contém: 8 Canais de conversão analógico-digital (ADCs) operando a uma taxa de 125 MHz; 2 FPGAs: FPGA Core, responsável pelo processo de aquisição/controlar de dados, e FPGA VME/USB, destinado à comunicação externa; e 8 *Time to Digital Converters* (TDCs) [12]. Na Figura 19 é apresentada uma foto da placa eletrônica NDAQ.

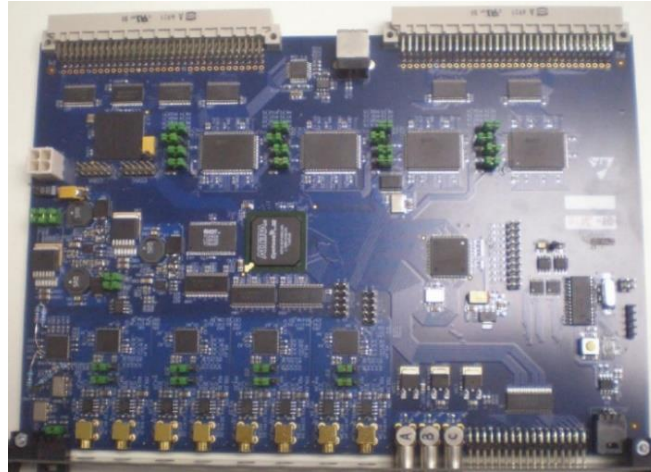


Figura 19 - Placa eletrônica do NDAQ do Neutrinos Angra [12].

Os sinais analógicos de assinatura de um neutrino nos PMTs têm duração em torno de 4 ns, o que inviabiliza a aquisição direta pelos NDAQ, que adquire a uma taxa de 125 MHz (período 8 ns) [12]. Para contornar tal situação, foram projetados módulos eletrônicos de *front-end* para condicionar o sinal e deixá-lo com duração em torno de 150 ns.

O formato dos sinais de saída do *front-end* mantém uma proporção/correlação com os sinais originais, o que possibilita reconstruir por meio de simulações o sinal dos neutrinos dos PMTs [28]. O *front-end* contém duas funcionalidades: (1) condicionar e amplificar o sinal analógico para o NDAQ; e (2) discriminar o sinal analógico, a partir de um patamar analógico ajustável, e prover para o sistema de *trigger* um sinal digital de duração proporcional à energia do sinal analógico [29]. Na Figura 20 é apresentado o diagrama funcional do *front-end* com as respectivas entradas e saídas.

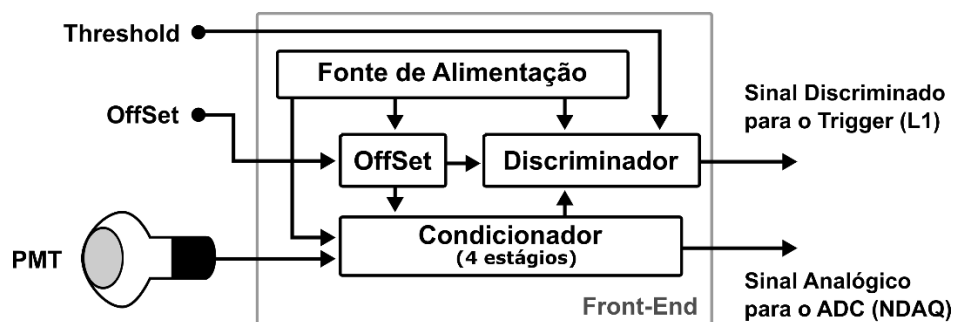


Figura 20 - Diagrama de blocos do *front-end* [27].

No condicionamento há 4 estágios, formados por: (1) amplificador operacional com alta resistência de entrada, alto ganho na banda-passante e baixo ruído; (2) filtro passa-banda; (3) amplificador não inversor e (4) filtro passa-baixa passivo; e amplificador inversor e filtro passivo de primeira ordem, acrescido de *offset* [27]. O esquemático eletrônico do circuito dos 4 estágios de condicionamento de *front-end* é apresentado na Figura 21, com indicação das quatro saídas de S1 a S4.

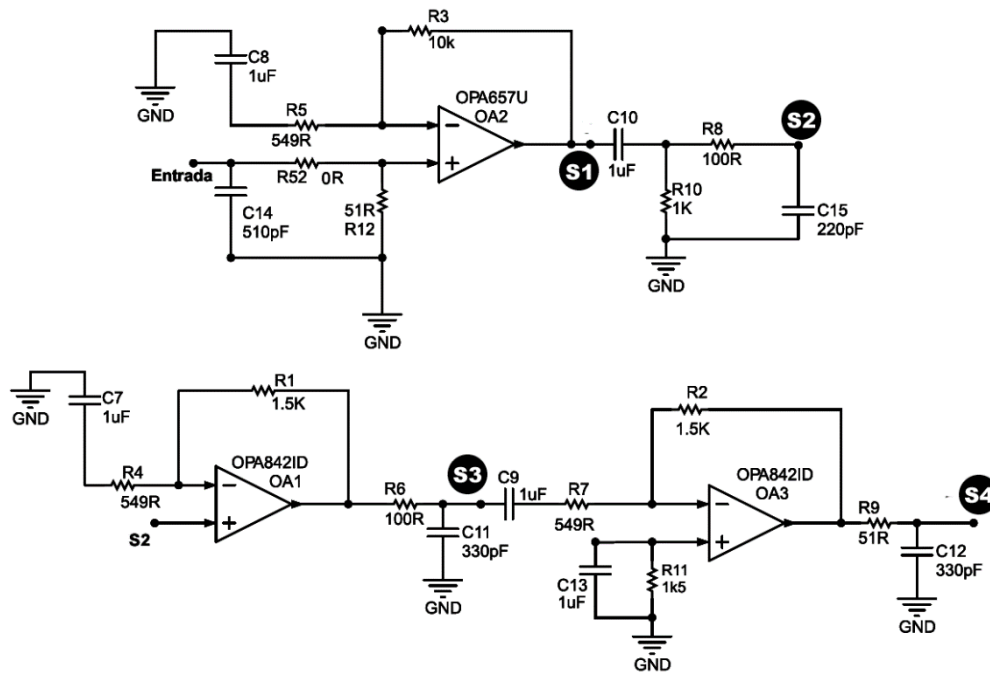


Figura 21 - Esquemático do circuito de amplificação e filtragem do *front-end* [28].

A Figura 22 ilustra o formato do sinal de entrada e as saídas dos quatro estágios de condicionamento do *front-end*.

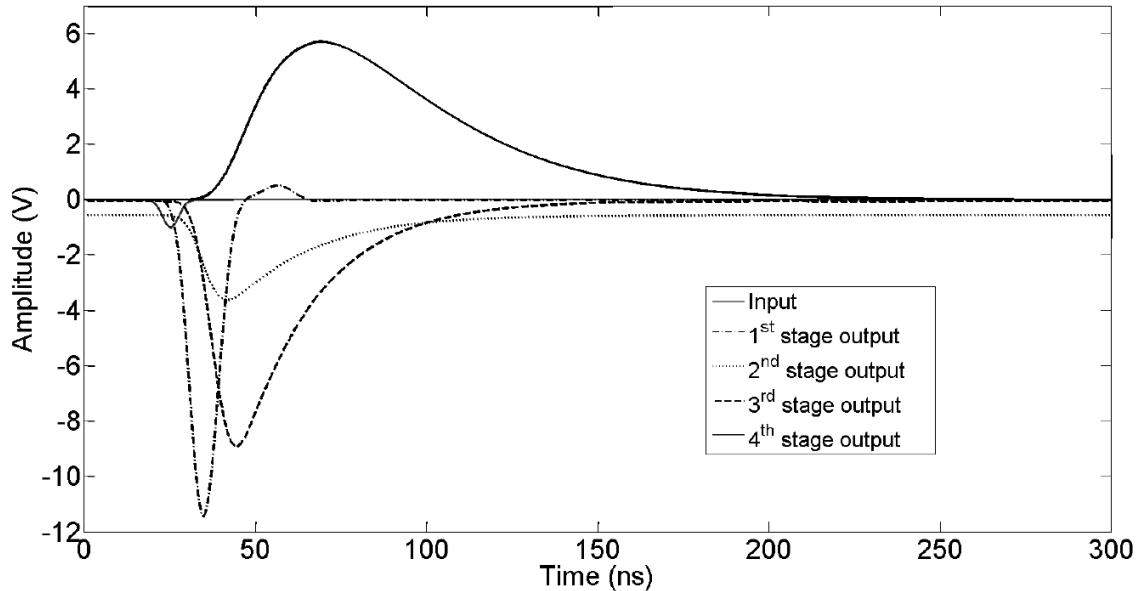


Figura 22 - Sinal das PMTs e respectivos estágios do *front-end* [27].

A função do primeiro estágio é pré-amplificar o sinal e conformar o pulso, devido à resposta em frequência do amplificador. O segundo estágio torna o pulso mais lento e conseqüentemente reduz a amplitude do pulso em comparação com a saída do primeiro estágio. O terceiro estágio tornar também o pulso mais lento, aumentando o valor de subida do pulso, fornece mais ganho para recuperar a amplitude do pulso [27]. A função do quarto

estágio é ajustar a amplitude de sinal para o NDAQ e adicionar uma tensão de *offset* de magnitude positiva ou negativa.

Os circuitos de controle de *offset* do quarto estágio e do patamar de tensão (*threshold*) do circuito discriminador foram projetados para que seja possível realizar o ajuste de forma digital através de comunicação i2C (do inglês, *Inter-Integrated Circuit*) [27]. As interfaces i2Cs das placas de *front-end* são conectadas a uma SBC do experimento, responsável por coordenar as comunicações com o *front-end* e placas NDAQs.

Os dois sinais finais de saída do *front-end*, o condicionado analógico (para o NDAQ) e o discriminado (para o *Trigger L1*) são ilustrados na Figura 23.

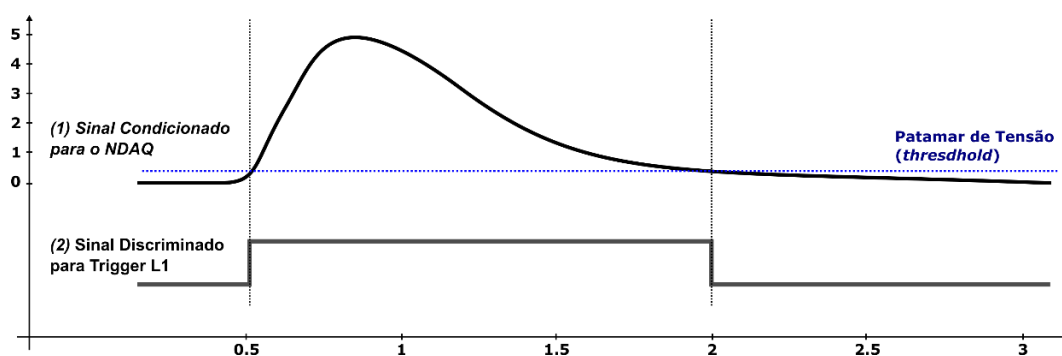


Figura 23 - Formato dos sinais de saída do *front-end*.

As placas eletrônicas de *front-end* são conectadas no *Crate VME* do experimento, cada uma pode realizar o condicionamento/discriminação de 8 canais de PMTs. Na Figura 24 é apresentada a placa desenvolvida pela colaboração Neutrinos Angra.



Figura 24 - Fotografia da placa eletrônica de *front-end*.

Na Figura 25 é apresentada uma outra visão das funções dos sistemas de *front-end*, NDAQ e *trigger* de primeiro nível (*L1 Trigger*) no detector Neutrinos Angra.

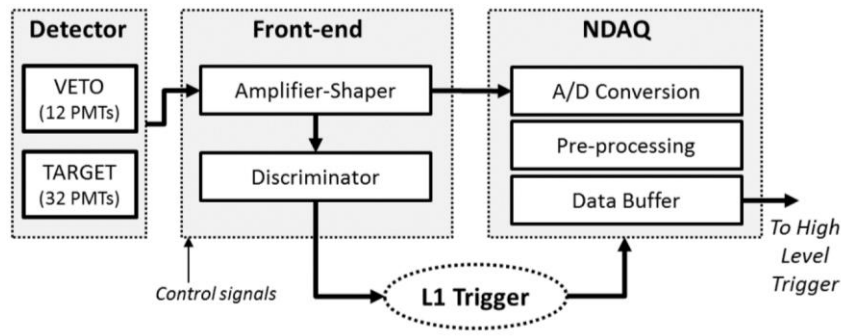


Figura 25 - Diagrama base dos PMTs, *front-end*, NDAQ e *trigger* [3].

O *trigger* de primeiro nível é responsável por coletar os sinais discriminados do *front-end* e determinar o instante de aquisição dos sinais analógicos para o NDAQ, tal funcionalidade é o ponto central deste trabalho e será detalhada nas próximas seções.

4.1 Caracterização dos PMTs e *Front-End*

A partir dos estudos experimentais realizados pela colaboração Neutrinos Angra no que tange a caracterização dos PMTs e do *front-end* foi possível gerar correlações entre a duração do sinal discriminado com as propriedades do sinal analógico condicionado dos *front-ends* e com a respectiva energia do sinal [28]. Estes estudos também viabilizaram a montagem do *trigger* de primeiro nível com base nos critérios de estimação de energia dos sinais e com uso somente dos sinais discriminados do *front-end*.

Para a caracterização do *front-end* foram utilizados três diferentes fatores de atenuação (AF) na entrada do *front-end*, correspondendo a uma amplitude de atenuação de 0 dB (AF = 1), -6.0 dB (AF = 2) e -9.5 dB (AF = 3), conforme [29]. Na Figura 26 são apresentados os resultados de 100 mil aquisições para cada um dos três AFs.

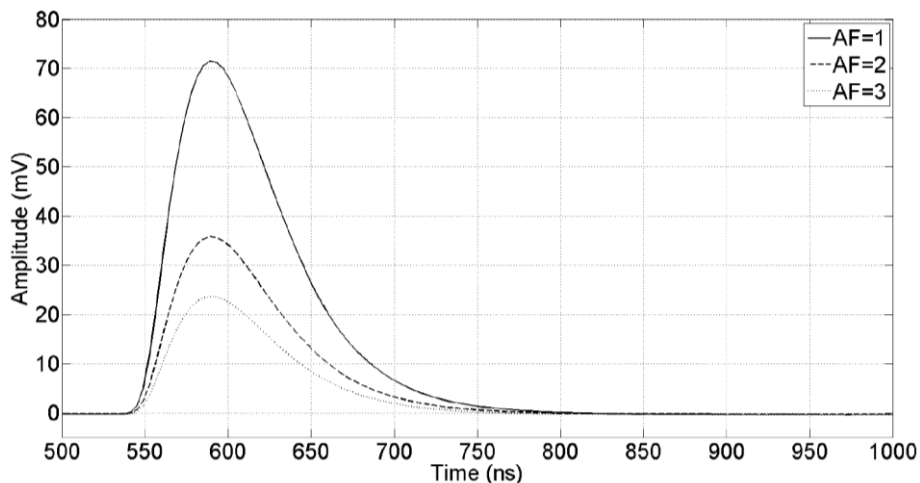


Figura 26 - Saída média do *front-end* utilizando os três fatores de atenuação [29].

A média do pico de amplitude do *front-end* e os valores de SNR para uma resposta de sinal de um único fotoelétron (*single photoelectron* - SPE) é apresentada na Tabela 1.

Tabela 1 - Pico de amplitude média do *front-end* e SNR para resposta de SPE.

Fator de Atenuação (AF)	Pico de Amplitude Médio (mv)	SNR (dB)
1	71,5 ± 0.9	31,5 ± 0.3
2	35,8 ± 0.4	29,7 ± 0.3
3	23,7 ± 0.2	27,1 ± 0.3

De acordo com as expectativas apresentadas no experimento de caracterização [29], quanto maior o fator de atenuação, pior é a SNR. A fim de verificar a linearidade do circuito de *front-end* um gerador de sinais foi utilizado para emular os sinais dos PMTs. Eles foram configurados para produzir pulsos de largura à meia altura (*full-width half-maximum*, FWHM) de 8 ns e 5 ns de bordas de descida e subida. A Figura 27 mostra a relação entre a carga de entrada e o pico de amplitude do sinal de saída do *front-end* para os três AFs.

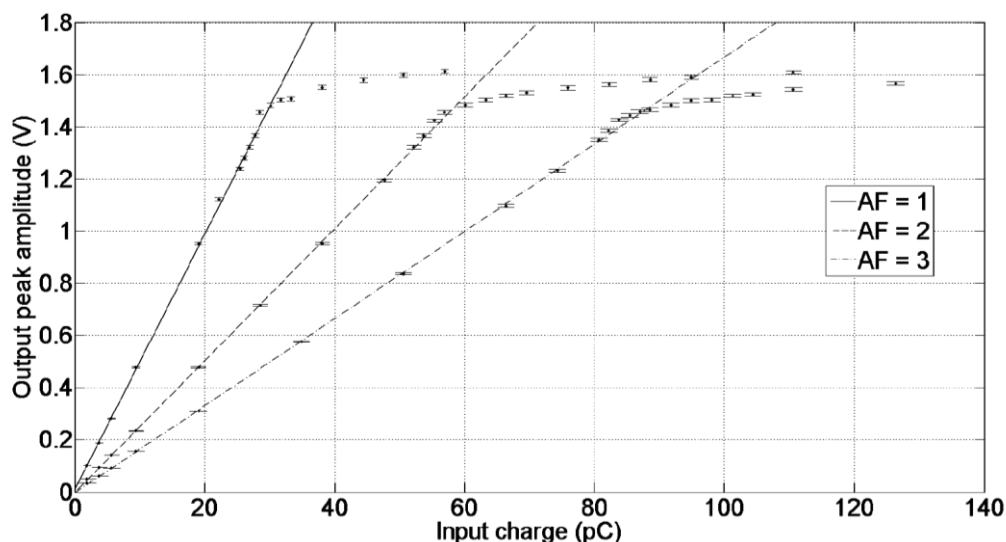


Figura 27 - Pico de amplitude de saída versus carga de entrada [29].

As linhas ao longo das medidas da Figura 27 representam a curva de aproximação linear obtidas para cada uma das AFs [29]. Na Figura 27 é possível notar que com um pico de amplitude de aproximadamente 1.4 V o efeito de saturação se torna claro. Na Tabela 2 apresenta os parâmetros de aproximação linear ($Ax + B$) para os três AFs.

Tabela 2 - Parâmetros de aproximação linear ($Ax + B$).

AF	A (V/pC)	B (V)
1	$45,90 \times 10^{-3} \pm 0,09 \times 10^{-3}$	$-3,34 \times 10^{-3} \pm 0,09 \times 10^{-3}$
2	$25,3 \times 10^{-3} \pm 0,2 \times 10^{-3}$	$-1 \times 10^{-3} \pm 3 \times 10^{-3}$
3	$16,7 \times 10^{-3} \pm 0,2 \times 10^{-3}$	$-3 \times 10^{-3} \pm 4 \times 10^{-3}$

Estas medidas podem ser também usadas para estimar a capacidade do dispositivo em processar diferentes quantidades de fotoelétrons para cada uma das três AFs. Considerando o ganho do PMT em 10^7 elétrons por fotoelétron, para $AF = 1$, o *front-end* é capaz de processar aproximadamente 18 fotoelétrons antes de entrar na região de saturação; para $AF = 2$ e $AF = 3$ este valor é de 36 e 53 fotoelétrons, respectivamente. Estes resultados indicam que a forma de onda de saída do *front-end* é estável até sua região de saturação e com isto é possível estimar a carga de entrada a partir do seu sinal de saída, através do seu pico de amplitude [28] [29].

No experimento de caracterização [29] também foram avaliadas a dependência entre a largura do pulso discriminado e a carga/energia de entrada. Os resultados para curvas com AF igual a 1 são apresentados na Figura 28.

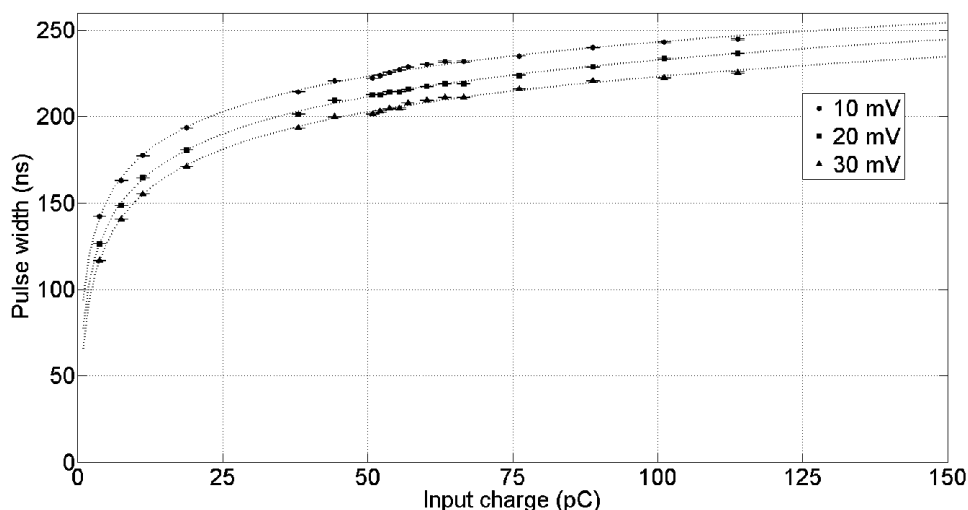


Figura 28 - Largura do pulso versus carga de entrada para $AF = 1$ [29].

Os dados adquiridos da Figura 28 foram aproximados com base na utilização da função $f(x) = Ax^B + C$, que tem os respectivos parâmetros descritos na Tabela 3.

Tabela 3 - Parâmetros de aproximação da função $f(x) = Ax^B + C$ [29].

Threshold	A	B	C
10 mV	-580 ± 169	$-0,064 \pm 0.023$	647 ± 173
15 mV	-735 ± 200	$-0,051 \pm 0.016$	813 ± 202
20 mV	-563 ± 125	$-0,071 \pm 0.020$	629 ± 128

5 Metodologias de Projeto de Circuitos Digitais

O objetivo deste capítulo é descrever técnicas e metodologias de desenvolvimento de circuitos digitais aplicados em dispositivos FPGA, bem como os sistemas de verificação funcional e testes.

5.1 Fluxo de Implementação

No geral, o fluxo de desenvolvimento FPGA é bem próximo dos processos de *front-end* do desenvolvimento de circuitos integrados digitais no âmbito de *Application-Specific Integrated Circuit* (ASIC) [30] [31] [32].

No fluxo de projetos de ASICs há dois grandes grupos de atividades macro: o *front-end* e o *back-end* [30]. Na Figura 29 é apresentada uma ilustração do fluxo base de desenvolvimento de ASICs, com as atividades de *front-end* e *back-end*.

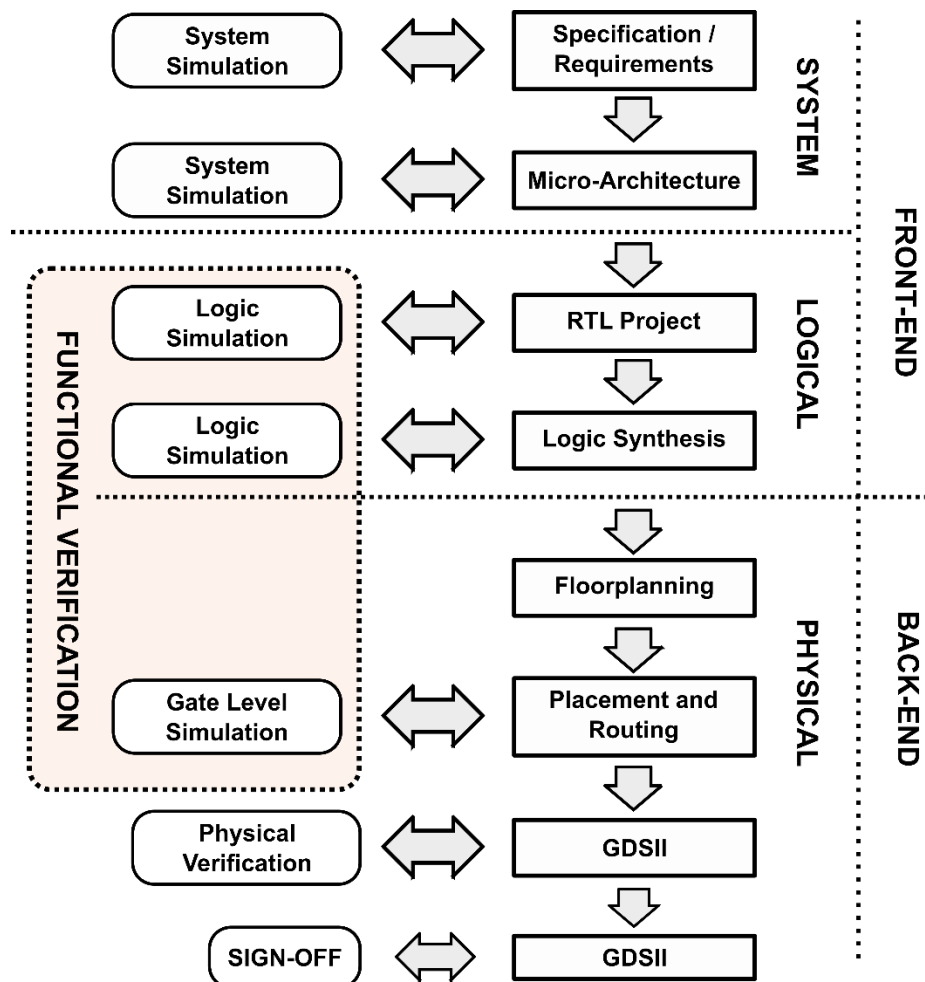


Figura 29 - Diagrama do fluxo base das fases de desenvolvimento de ASICs [30] [31].

O *front-end* corresponde às fases iniciais de desenvolvimento, que compreende o projeto do sistema, formado pelas atividades de especificação/requisitos e microarquitetura, e o projeto lógico, composto pelo projeto em *Register-Transfer Level* (RTL) e pela síntese lógica [30]. O *back-end* corresponde às fases de implementação física, onde a lógica do sistema passa a ser representada por células lógicas que virão a compor o circuito integrado a ser fabricado [30] [32].

As principais etapas do *back-end* correspondem ao planejamento da disposição dos circuitos (*floorplanning*), a distribuição das células lógicas nas áreas determinadas (*placement*), o roteamento das interconexões das células lógicas (*routing*) e a geração do arquivo de fabricação *Graphic Database System Information Interchange* (GDSII) [30].

Para cada fase do fluxo de ASICs há um respectivo processo de validação que verifica se os requisitos, lógica e funcionalidades estão em conformidade com as especificações técnicas [30], conforme apresentado na Figura 29. As simulações em nível de sistema são realizadas, por exemplo, através de casos de uso e dinâmicas de dupla checagem, enquanto as verificações funcionais compreendem as simulações lógicas com base no RTL (descritas na próxima seção) e as simulações em nível de células/portas lógicas, realizados nas fases de implementação física.

Para montagem de circuitos digitais em FPGAs são utilizadas as etapas do projeto lógico e de sistema, pertencentes às fases do *front-end* [30] [31]. A partir da especificação e microarquitetura os requisitos do sistema são convertidos, por exemplo, em diagramas de blocos e máquinas de estado. No projeto RTL é realizada a codificação dos módulos montados na microarquitetura, através de linguagens de descrição de *hardware* (*Hardware Description Language* - HDL), como Verilog. Na síntese lógica, o RTL é mapeado para as células reconfiguráveis e/ou *Macrofunctions/IP* (*Intellectual Property*) do FPGA [31].

No fluxo FPGA também são realizadas as etapas de *floorplanning*, *placement* e *routing*, porém elas são dependentes do fabricante do FPGA e seguem metodologias próprias, que variam em virtude das tecnologias adotadas [31]. No geral, após estas etapas, ao invés da geração do GDSII, é compilado um arquivo de configuração que irá acionar as células reconfiguráveis do FPGA de acordo com as funcionalidades descritas ao longo do fluxo de desenvolvimento.

Assim como no fluxo ASIC, também é possível realizar intervenções nas etapas de síntese, *floorplanning*, *placement* e *routing* do FPGA através de *scripts* e arquivos de regras/restrições (*constraints*) [30] [31] [32].

5.2 Sistemas de Verificação Funcional e Testes

Para validação de sistemas digitais desenvolvidos em FPGA são utilizadas técnicas de verificação funcional baseadas em metodologias de projetos de circuitos integrados, tais como a *Universal Verification Methodology* (UVM) [33].

A UVM é uma metodologia padrão utilizada no projeto de circuitos integrados e abrange as principais fases do fluxo de desenvolvimento de ASIC [33]. Na metodologia base, o comportamento funcional do projeto, em suas diversas fases como apresentado na seção anterior (Figura 29), é comparado com um modelo de referência através de um ambiente de verificação [30] [33].

Um exemplo ambiente de verificação básico (*testbench*) é apresentado na Figura 30.

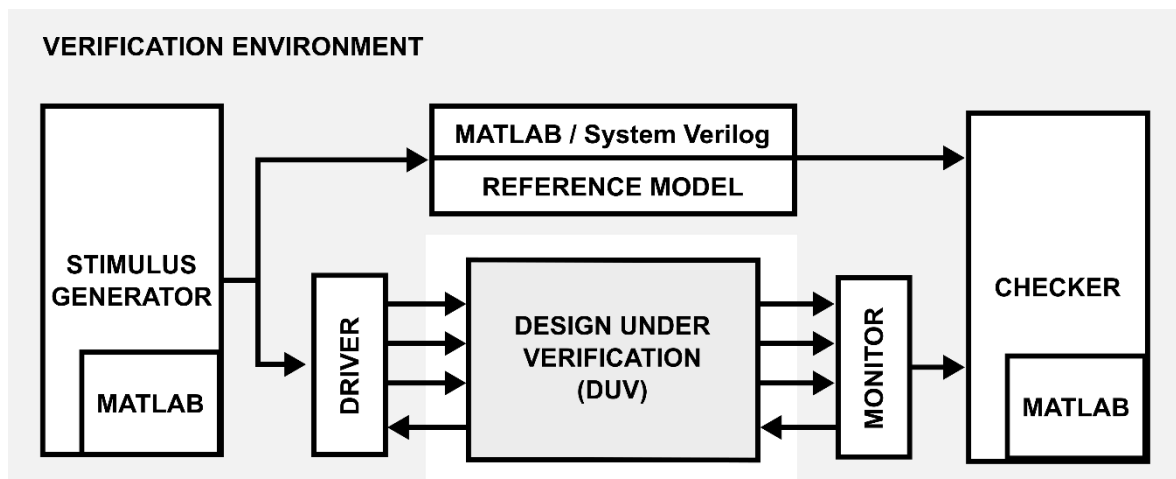


Figura 30 - Ambiente de verificação do projeto [34] [33].

Os componentes básicos de um ambiente de verificação são:

- *Design Under Verification* (DUV) é o componente de *hardware* do projeto a ser verificado e testado;
- Modelo de Referência (*Reference Model*), também chamado de *Golden Model*, é uma implementação em alto nível (em *software* ou *System Verilog*) que representa fielmente as funcionalidades do sistema, oriundas das fases de especificação/requisitos;
- Gerador de Estímulos (*Stimulus Generator*), responsável pela montagem dos sinais de estímulo (geralmente em nível de transação) que são disparados para o modelo de referência e DUV;
- *Driver*, responsável por converter os estímulos gerados para o domínio dos sinais de *hardware* que serão inseridos no DUV;

- Monitor (*Monitors*) é uma entidade que avalia o comportamento dos sinais de entrada/saída e monta os resultados para comparação;
- *Checker*, responsável por verificar e comparar os resultados de saída do modelo de referência e do DUV, bem como por determinar as inconsistências e as estatísticas a respeito do comportamento do DUV.

Como apresentado na Figura 30, de modo auxiliar ao ambiente de verificação, também são utilizados artefatos da ferramenta MATLAB [34] para montagem de estímulos/transações, a partir de simulações prévias do experimento. Tais artefatos também podem ser utilizados no desenvolvimento de parte do modelo de referência e *checker*.

No próximo capítulo será discutida a proposta e implementação dos sistemas de seleção *online* de eventos desenvolvidos neste trabalho, com nas decisões de projeto, requisitos, arquitetura e funcionalidades dos principais módulos.

6 Proposta de Sistemas de Seleção *Online* de Eventos de Antineutrinos do Experimento Neutrinos Angra

O objetivo deste capítulo é apresentar as contribuições deste trabalho que focam no projeto e implementação dos sistemas de seleção *online* (*Trigger* L1), necessários para o funcionamento pleno do detector Neutrinos Angra, e nos módulos auxiliares de aquisição de dados discriminados dos eventos. Os fundamentos e decisões para composição dos circuitos eletrônicos digitais deste trabalho foram oriundos de requisitos do ramo da Física de Altas Energias já aplicadas no detector e no estudo bibliográfico realizado. O produto final deste trabalho está em integração aos demais módulos do experimento e propiciará análises dos fenômenos físicos de neutrinos.

Na Figura 31 é ilustrado o diagrama do produto desenvolvido neste trabalho (Item 1, em destaque) e seus relacionamentos com os demais módulos já desenvolvidos do detector Neutrinos Angra.

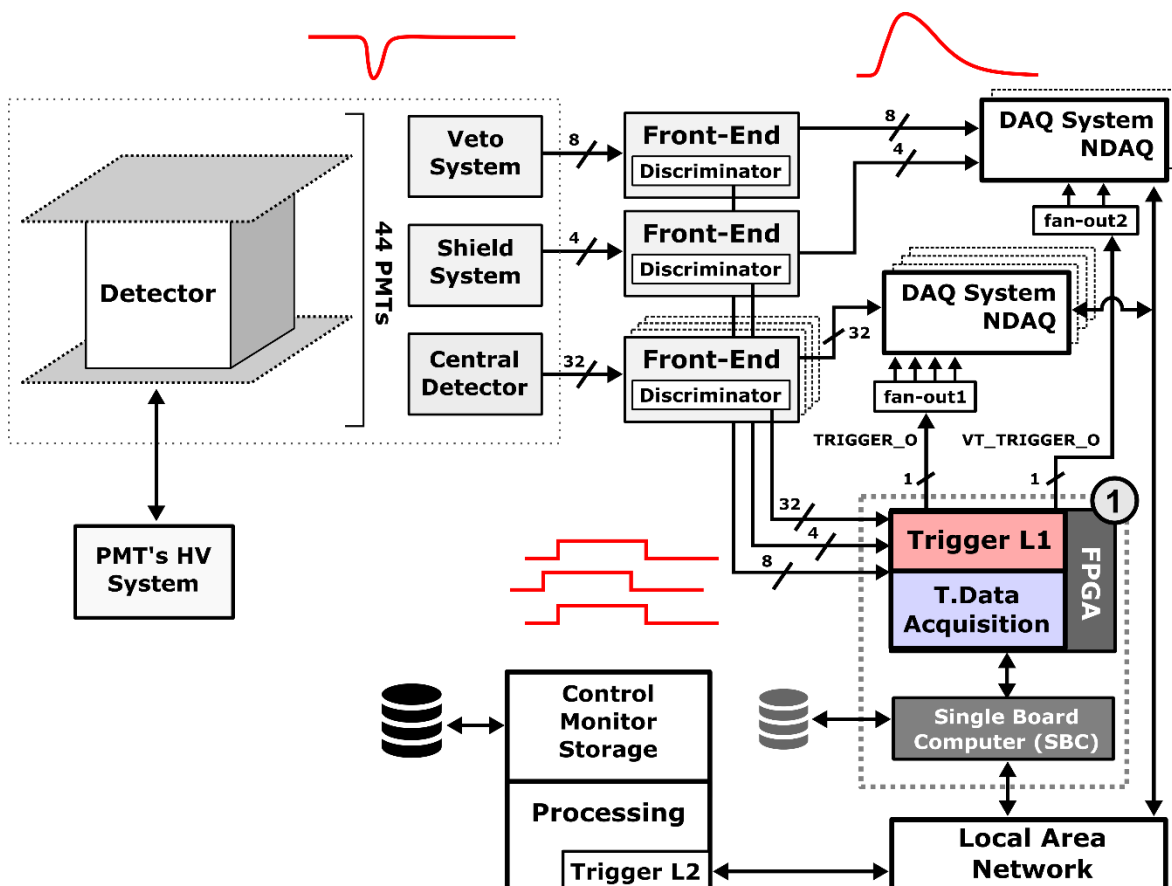


Figura 31 - Visão geral do sistema de *trigger* (Item 1) no detector Neutrinos Angra.

Do ponto de vista macro, no projeto do detector Neutrinos Angra as contribuições são no âmbito do *Trigger* L1 que foi desenvolvido utilizando plataformas FPGA [35] e *Single*

Board Computer (SBC) [36]. Os módulos de *Trigger* L1 e aquisição digital de parâmetros foram desenvolvidos em FPGA. Como ilustrado na Figura 31, o SBC tem o papel principal de realizar a comunicação de parâmetros/configurações entre o FPGA e os elementos da rede privada do experimento.

Os módulos da Figura 31 tais como sistema de *High Voltage (HV System)*, *front-ends*, Sistemas de DAQs (NDAQs), rede privada e sistemas de processamento, armazenamento e processamento já foram desenvolvidos pela colaboração Neutrinos Angra e estão atualmente em fase de calibração, finalização e testes. Este projeto não realizou alterações nestes elementos, como por exemplo no FPGA dos NDAQs, e ficou restrito somente ao desenvolvimento dos sistemas no FPGA e SBC do *Trigger* L1. As configurações dos elementos já desenvolvidos apresentados a seguir foram obtidas a partir da colaboração Neutrinos Angra e das respectivas publicações.

Os principais papéis e relacionados do *Trigger* L1 com os demais sistemas já desenvolvidos pela colaboração são: coletar os sinais discriminados dos 44 PMTs (Veto, *Shield* e Detector Central) oriundos dos módulos de *front-end*, avaliar as condições de seleção por meio dos critérios de energia estimada e multiplicidade, determinar os instantes de aquisição para os sistemas de DAQ (NDAQs) e realizar a aquisição dos parâmetros/sinais de *trigger* para posterior reconstituição gráfica/visual, através de ferramentas como MATLAB.

O sistema de *trigger*, ilustrado na Figura 31, indica o instante de aquisição de dois grupos de eventos: (1) Detector Central, baseado nos 32 PMTs de aquisição de antineutrinos; e (2) Sistemas de Veto, de acordo com os 12 PMTs das partes superior/inferior e *shield*, destinados a múons de radiação cósmica.

Para cada grupo há o respectivo sinal de *trigger* de saída que é interligado aos NDAQs através das placas de *fan-out*, que replicam/estabilizam os sinais de *trigger*. Ao todo são utilizados 6 NDAQs, 4 para o detector central e 2 para os vetos, 6 placas de *front-end* e 2 placas de *fan-out*, uma para cada grupo de *trigger*.

No projeto dos NDAQs foi montada uma lógica para adquirir sinais analógicos de janela máxima de 800 ns [12]. Esta janela foi segmentada e configurada para adquirir parte dos sinais antes do *trigger* e parte depois do *trigger*. Tal funcionalidade garante que as latências dos módulos que geram os sinais de *trigger* não interfiram na aquisição completa dos eventos pelos NDAQs. Para funcionamento correto das máquinas de estado dos NDAQs é exigido que o sinal de *trigger* de um evento tenha comprimento fixo de aproximadamente 50 ns [12].

No diagrama da Figura 32 são apresentados os principais módulos montados no FPGA e no SBC utilizados no projeto de *trigger* deste trabalho.

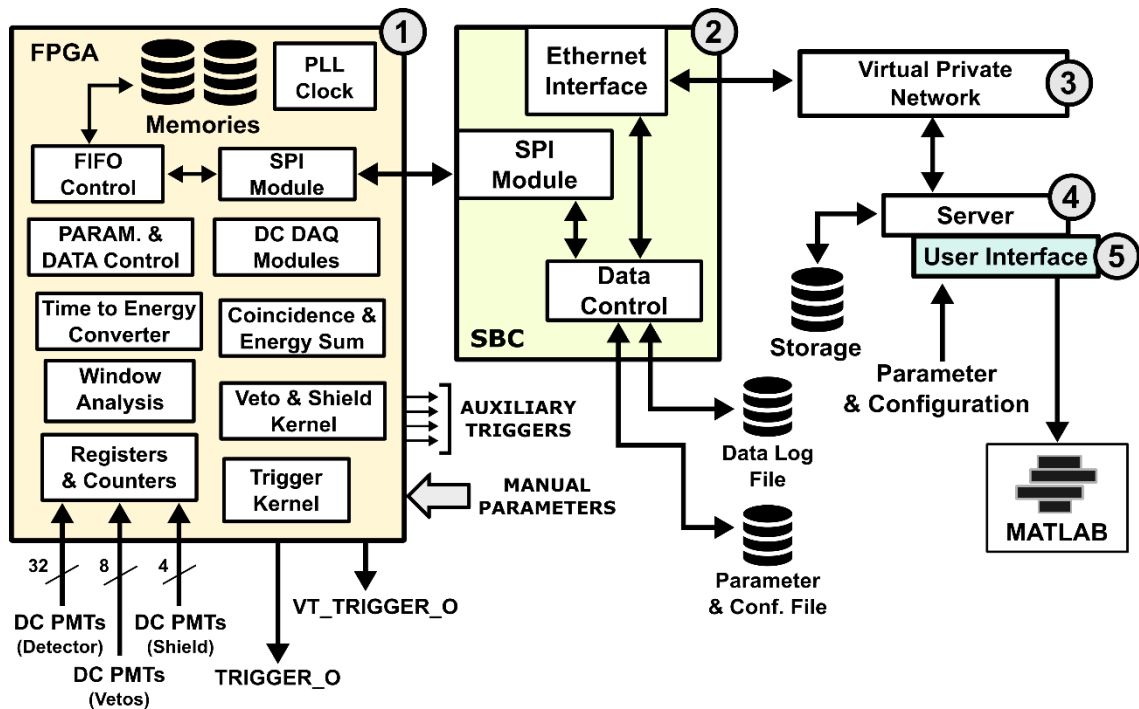


Figura 32 - Diagrama de blocos macro dos sistemas do projeto.

De acordo com os itens apresentados na Figura 32, os principais subsistemas deste projeto são divididos nos seguintes grupos:

1. FPGA, com os módulos desenvolvidos em *Verilog* e com uso de *scripts/constraints*. Os módulos de seleção *online* desenvolvidos no FPGA tem como sinais de entrada os 44 PMTs do detector (após os *front-ends*) e como saída os dois sinais de gatilho para os NDAQs dos grupos do detector central (*TRIGGER_O*) e do veto (*VT_TRIGGER_O*);
 - Foram projetados sistemas auxiliares de *trigger* parametrizados de forma manual para testes, calibrações e análises aleatórias de ruído.
2. SBC, plataforma com módulos projetados em *Python* e rodando num sistema Linux baseado em Debian. Este contém os módulos *Serial Parallel Interface* (SPI), *Data Control* e uma interface *Ethernet* (para comunicação com rede local privada e internet);
3. *Virtual Private Network* (VPN). Dispositivos físicos e lógicos de rede, responsáveis pela comunicação local e via internet dos dados, parâmetros e configurações dos sistemas do projeto Neutrinos Angra;
4. *Server*. Servidor local responsável por armazenar os dados do experimento Neutrinos Angra, bem como coordenar e sincronizar todo o fluxo de operações dos diversos módulos eletrônicos;
5. *User Interface*. Destinada à configuração, parametrização e visualização dos resultados do projeto de forma remota ou local.

No desenvolvimento da eletrônica digital FPGA deste projeto foram utilizados os princípios da metodologia de desenvolvimento de circuitos integrados [30] [32]. As principais fases contempladas recorreram às etapas de requisitos, especificação, arquitetura, codificação do *hardware* em *Register-Transfer Level* (RTL) através de *Hardware Description Language* (HDL), síntese lógica e verificação funcional.

6.1 Requisitos dos Sistemas de *Trigger* de Primeiro Nível

Conforme já mencionado previamente, este projeto contempla o sistema de seleção *online* (*trigger*) de primeiro nível do detector Neutrinos Angra. Os demais níveis hierárquicos, por exemplo Nível 2 e 3, não serão detalhados neste trabalho e estão sendo projetados pela Colaboração Neutrinos Angra – tais níveis serão executados em modo *off-line* através de algoritmos, modelos e *softwares* disponíveis no servidor que armazena e concentra os dados adquiridos pelo detector.

Os sistemas de *trigger* são divididos em dois grupos: antineutrinos e múons. Do ponto de vista dos antineutrinos, que utilizam os 32 PMTs do detector central, o sistema de seleção online faz uso de dois critérios: energia e multiplicidade, uma abordagem similar aos detectores Double Chooz [4] e Daya Bay [8]. Por outro lado, os vetos realizam aquisição de múons de radiação cósmica, através dos 12 PMTs e utilizam na seleção somente o critério da multiplicidade. O sistema de veto funciona como uma espécie de chave de bloqueio do sinal de *trigger* do detector central: caso ocorra um evento de veto, o sinal de *trigger* do detector central é desconsiderado.

Para a construção do projeto dos sistemas de *trigger* foram considerados os principais requisitos listados a seguir:

- Dois grupos de *trigger*: detector central e veto;
- O sistema de veto interfere no funcionamento da saída de *trigger* do detector central. Caso os critérios de multiplicidade sejam atingidos no veto, este deve bloquear a saída de *trigger* do detector central por um período parametrizável;
- Características do *trigger* do detector central:
 - Para determinar o instante de *trigger* é necessário que os sinais estejam de acordo, simultaneamente (modo padrão, porém configurável), com os critérios de energia e multiplicidade;
 - Nas análises de energia e multiplicidade é verificado se os sinais estão dentro de uma faixa especificada por dois *thresholds*, (parametrizáveis) um superior e outro inferior;

- O uso de *threshold* superior propicia uma redundância na análise de interferências. Os múons de radiação cósmica geram radiação Cherenkov de alta intensidade que normalmente contamina todos os PMTs do detector central e gera assinaturas de sinais maiores do que as dos eventos de antineutrinos.
- Características do *trigger* dos vetos:
 - Classifica separadamente dois grupos de veto: (1) veto superior/inferior; e (2) *shield*. Uma ocorrência de *trigger* de veto é ativada se um dos dois grupos atingirem os critérios de multiplicidade;
 - São utilizados somente *thresholds* inferiores nos vetos. Na análise de ruído, a partir dos dados dos vetos, a condição básica é que se o ruído atingiu o mínimo necessário, os dados do detector central de antineutrinos são contaminados e devem ser descartados [37] [29].
- Os sistemas de *trigger* devem filtrar sinais que não pertençam ao mesmo evento. Os sinais são considerados do mesmo evento se eles iniciarem dentro de uma janela máxima após o início do evento;
- Para validar os critérios de multiplicidade e energia, ainda é verificado se a condição está satisfeita por um determinado janela de tempo (parametrizável), como nos detectores RENO [22] e Borexino [18].

Além dos detalhes apresentados na listagem anterior, o sistema de veto ainda deverá prover simultaneamente dois sinais: (1) de bloqueio do *trigger* do detector central, a partir de uma janela configurável; (2) de ativação dos NDAQs de aquisição dos sinais das PMTs dos vetos. Na Figura 33 é apresentado um resumo da lógica macro dos sistemas de *trigger* desenvolvidos para o detector central e vetos.

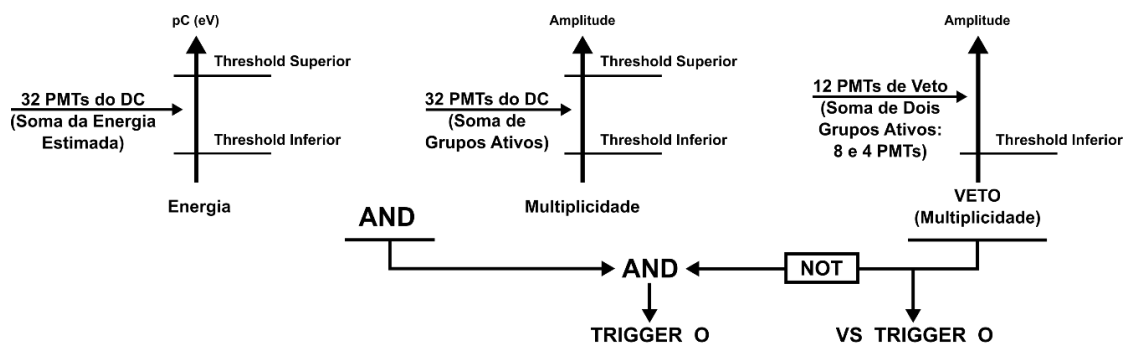


Figura 33 - Lógica macro de funcionamento dos sistemas de *trigger*.

O fluxo básico padrão dos sistemas do *trigger* do detector central é composto de dois níveis. No primeiro é verificado se os sinais do detector central atingem simultaneamente os critérios de energia e multiplicidade. No segundo nível, é gerada a saída final de *trigger*

do detector central (*TRIGGER_0*), dependente do bloqueio gerado pelo sinal de veto e destinado aos NDAQs de aquisição de antineutrinos. Neste nível, também é gerada a saída de *trigger* dos vetos (*VS_TRIGGER_0*) destinada aos NDAQs de aquisição de múons.

Do ponto de vista da eletrônica digital aplicada no FPGA, as funcionalidades descritas podem ser resumidas em três grandes grupos, conforme ilustrados na Figura 34.

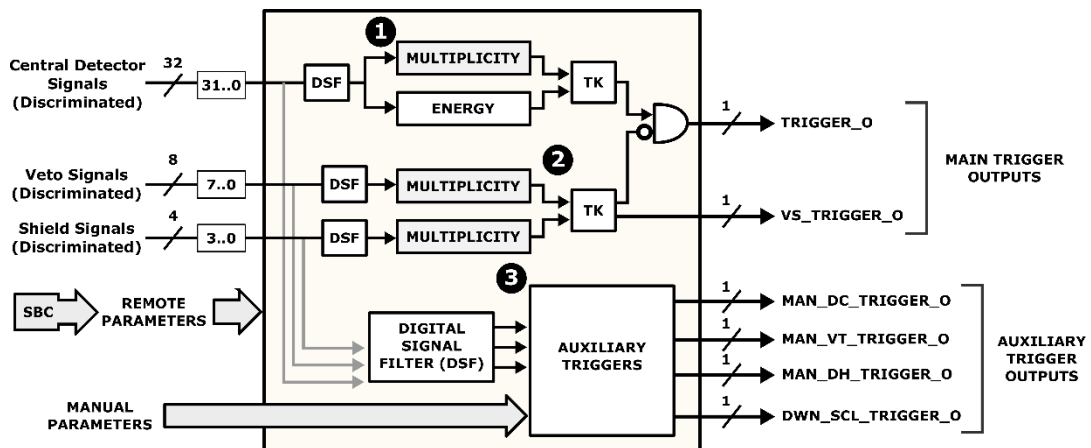


Figura 34 - Diagrama simplificado dos módulos de *trigger*.

Na Figura 34, os grupos 1 e 2 são os dois principais utilizados no projeto: o primeiro é responsável pelo *trigger* (energia e multiplicidade) dos sinais de antineutrinos, enquanto o segundo é responsável pelo *trigger* (multiplicidade) dos sinais de múons. O grupo 3 corresponde aos sistemas de *triggers* auxiliares, que trabalham em paralelo aos do fluxo principal: seus componentes são responsáveis por prover três saídas independentes de *trigger* (detector central, veto superior/inferior e *shield*) e uma saída de *trigger* de *downscale*, destinada a amostragem periódica de sinais aleatórios de ruídos. As características destes grupos serão detalhadas nas próximas seções deste trabalho.

6.2 Arquitetura Detalhada dos Sistemas de *Trigger*

No projeto geral foi desenvolvida uma arquitetura para atender aos requisitos dos sistemas de *trigger* de neutrinos e múons com base nas condições apresentadas.

O resumo destas informações é ilustrado no diagrama de arquitetura da Figura 35.

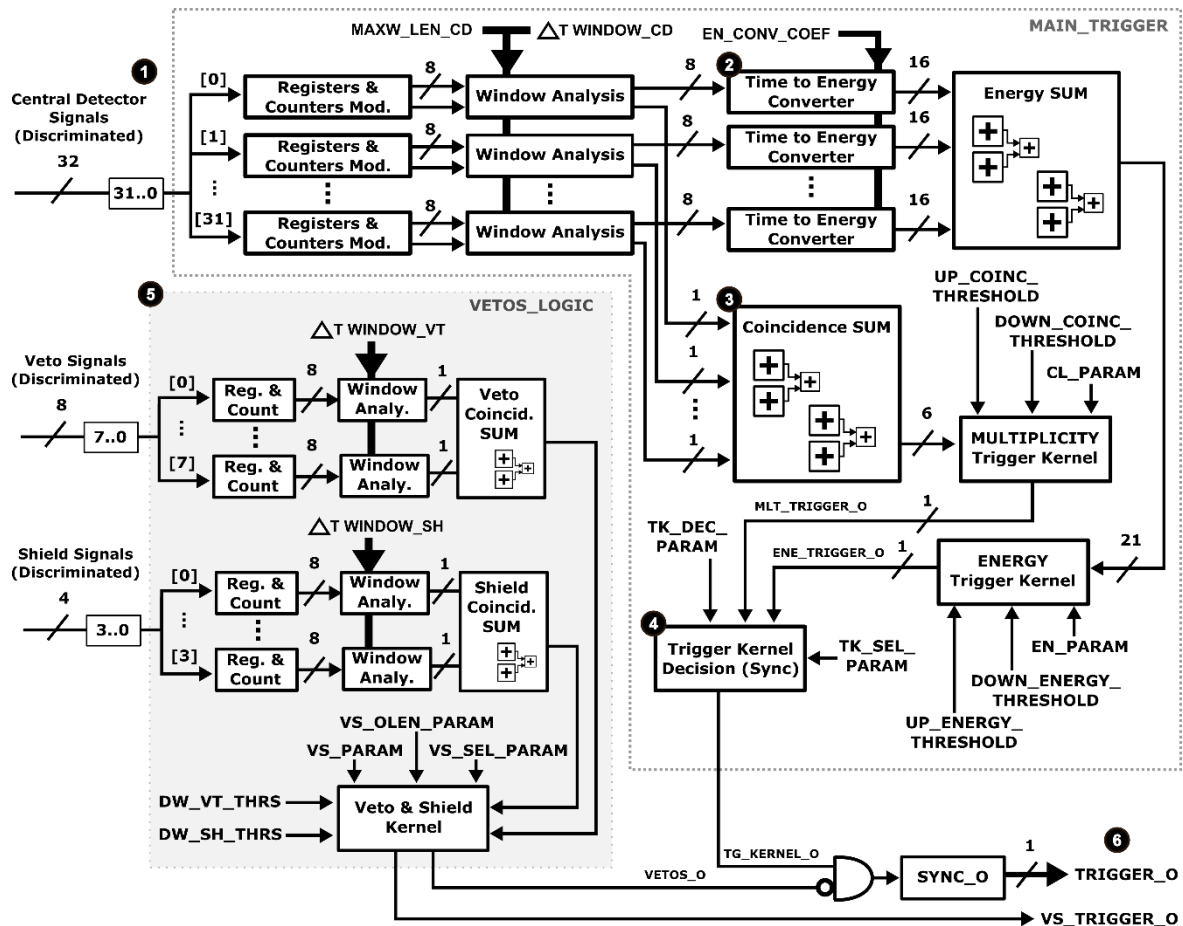


Figura 35 - Diagrama da arquitetura geral do sistema de *trigger*.

No sistema de *trigger* desenvolvido, as análises dos sinais são realizadas somente a partir dos sinais discriminados oriundos dos sistemas de *front-end*, estratégia diferente de outros detectores, como por exemplo do Double Chooz [4], que usa o sinal analógico para determinar a faixa de energia do evento. Na abordagem desenvolvida para o Neutrinos Angra, a energia é estimada a partir de uma aproximação que faz uso da duração do sinal, conforme descrito na Seção 6.4.

Os itens enumerados da arquitetura da Figura 35 correspondem respectivamente a:

1. Sinais discriminados do detector central;
 - Total de 32 sinais identificados de 31 a 0;
 - Estes sinais passam por dois níveis de filtragem, um para remover ruídos e instabilidades (*Registers & Counters*), e outro para remover sinais que não pertençam ao mesmo evento (*Window Analysis*).
2. Fluxo da informação do *trigger* de energia;
 - As durações dos sinais do *Window Analysis* são convertidas para um valor de energia, a partir de parâmetros de uma *look up table* gerados com base numa função de aproximação, descrita na Seção 6.4;

- Os valores de energia de todos os 32 canais são somados e comparados com a faixa definida pelos *thresholds* superior e inferior;
- 3. Fluxo da informação do *trigger* por multiplicidade;
 - As quantidades de sinais discriminados ativos, após as filtragens, são somadas e o resultado é avaliado de acordo com a faixa definida pelos *thresholds* de multiplicidade, superior e inferior.
- 4. *Kernel* principal de *trigger*, que concentra os resultados das análises realizadas a partir dos critérios de energia e multiplicidade;
 - A partir de parâmetros é possível selecionar três opções de saída do *kernel*: (1) operação AND entre *triggers* de Energia e Multiplicidade (modo padrão); (2) *Trigger* de Energia; (3) *Trigger* de Multiplicidade.
- 5. Fluxo da informação do sistema de veto;
 - Composto somente pelo critério de *multiplicidade*, contém seus respectivos módulos de filtragem de sinais por ruído e de sinais pertencentes a outros eventos.
- 6. Sinais de *trigger* finais:
 - Sinal de *trigger* para antineutrinos (*TRIGGER_0*) que é composto pelo sinal resultante do caminho de dados da multiplicidade/energia e por uma lógica de bloqueio a partir do sinal de veto;
 - Sinal de *trigger* para aquisição de múons (*VS_TRIGGER_0*).

A montagem e configuração dos parâmetros ilustrados na Figura 35, tais como *TEK_DEC_PARAM* e *VS_PARAM*, serão discutidos na Seção 6.9.

6.3 *Trigger* de Antineutrinos por Multiplicidade

O objetivo geral do *trigger* por multiplicidade é contar a quantidade de sinais discriminados ativos simultâneos oriundos dos PMTs do detector central (a partir da eletrônica de *front-end*) e comparar com dois *thresholds*, um superior e um inferior. Caso a quantidade esteja dentro da faixa estabelecida é emitido um sinal de *trigger* na saída.

Antes dos sinais discriminados serem contados e comparados, eles passam por estruturas digitais de filtragem e condicionamento digital, como ilustrado na Figura 36.

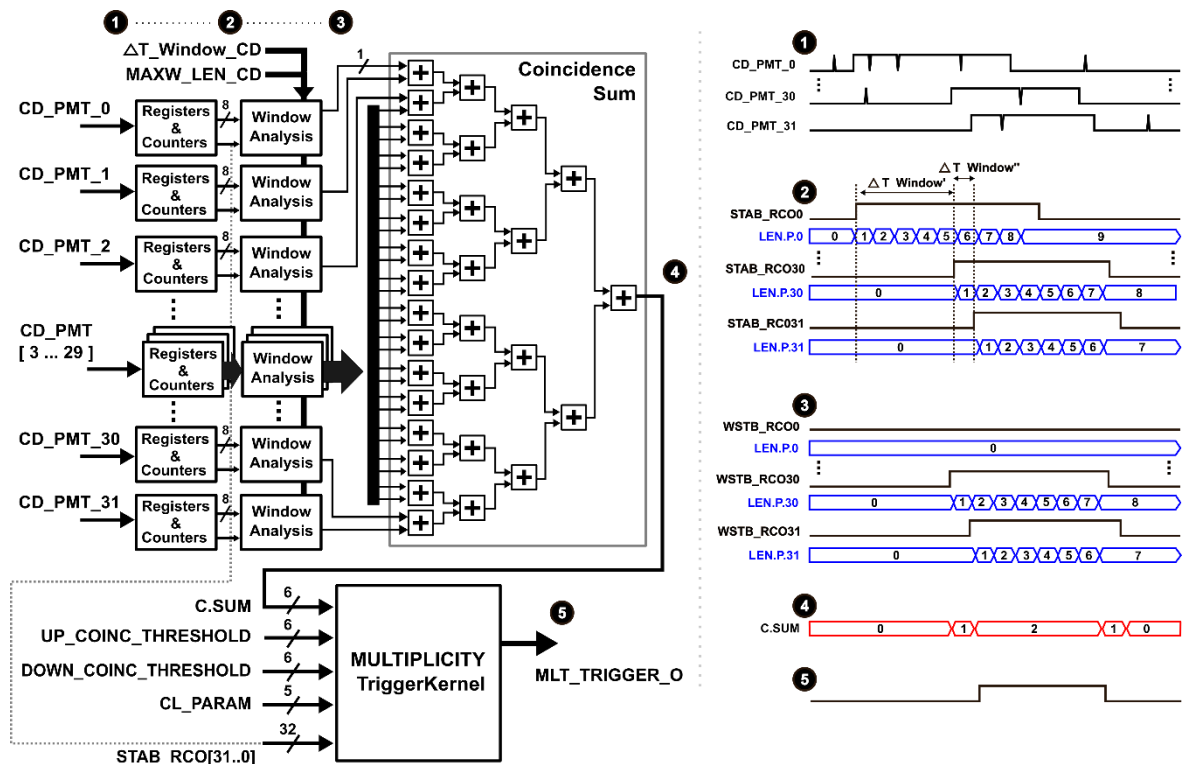


Figura 36 - Diagrama de sinais dos módulos do *trigger* por multiplicidade.

O fluxo de dados principal do *trigger* de multiplicidade segue as seguintes características, enumeradas de acordo com as marcações de sinais nos módulos da Figura 36 e com os respectivos diagramas de onda (à direita da figura):

1. Sinais discriminados das PMTs do detector central, que podem conter alguns ruídos e interferências oriundas dos meios eletrônicos envolvidos;
2. No módulo *Registers & Counters* são removidos *glitches* (ou ruídos esporádicos) e interferências, bem como é mensurada a duração dos sinais ativos para posterior avaliação;
3. O módulo *Window Analysis* verifica se os sinais pertencem ao mesmo evento, de acordo com uma janela de tolerância, ΔT_Window_CD , e exclui sinais que tenham contagem maior que o limite máximo ($MAXW_LEN_CD$);
4. Contagem dos sinais simultâneos ativos, operação realizada pelo módulo *Coincidence Sum*. Este módulo utiliza contagem aos pares com objetivo de obter uma menor latência no processamento do resultado – com esta estrutura, a soma é realizada em 5 níveis;
5. Sinal de *trigger* por multiplicidade, gerado quando satisfaz simultaneamente as seguintes condições:
 - Contagem de sinais ativos discriminados maior ou igual que *threshold* inferior ($DOWN_COINC_THRESHOLD$);
 - Contagem menor que *threshold* superior ($UP_COINC_THRESHOLD$);

- Contagem com duração mínima maior que janela pré-definida (CL_PARAM). Tal método evita que possíveis contagens dos somadores gerem valores intermediários ou ruídos que satisfaçam erroneamente as duas condições anteriores;
- Com base nos 32 sinais discriminados ($STAB_RCO[31..0]$, da Figura 37) é possível verificar o final do evento e desbloquear a máquina de estados do módulo *Multiplicity Trigger Kernel* (Figura 39).

No primeiro estágio do circuito digital do módulo *Registers & Counters* os sinais são duplamente registrados com objetivo de remover *glitches* e instabilidades de até 1 período de clock do sistema, como ilustrado no *Item 1*, em destaque na Figura 37. Esta técnica evita que ruídos gerem interpretações erradas nos demais sistemas em cascata desenvolvidos neste projeto, que dependem dos sinais de saída deste módulo.

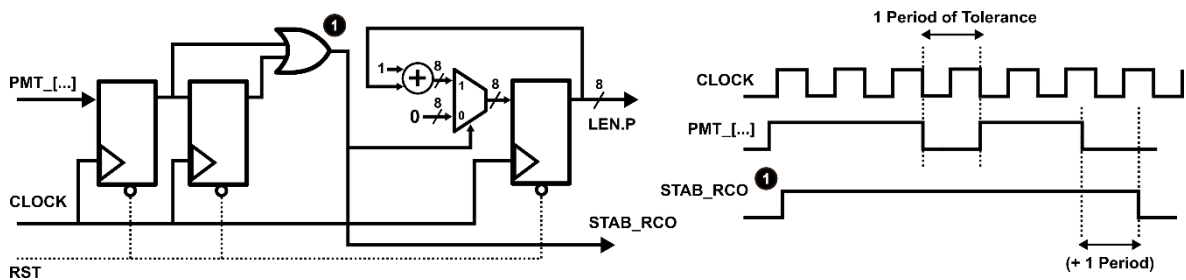


Figura 37 - Ilustração do funcionamento do módulo *Registers & Counters*.

Em contrapartida, esta estratégia ilustrada no *Item 1* da Figura 37 adiciona um período a mais na duração do sinal filtrado, o qual é desconsiderado nos módulos posteriores.

O módulo *Window Analysis* funciona como uma espécie de filtro que verifica se os sinais de saída do módulo *Registers & Counters* estão dentro de uma duração máxima permitida e se pertencem ao mesmo evento.

As saídas do *Window Analysis* são: (1) o sinal discriminado estável, que é utilizado no *trigger* de multiplicidade; e (2) a respectiva duração, que é formada a partir do contador é utilizada no *trigger* de energia. Para atender tais funcionalidades, há as seguintes condições:

1. Se a duração do sinal for maior que limite máximo permitido ($MAXW_LEN_CD$), os dois valores de saída do módulo devem estar desativados (em zero);
2. Se o sinal discriminado de um PMT estiver isolado dos demais, ou seja, tem intervalo maior que uma janela determinada (ΔT_WINDOW_CD), é considerado que pertence a outro evento ou é uma reflexão de um outro sinal

com maior carga. Logo, as respectivas saídas deverão também estar desativadas e em zero.

Nos Item 2 e 3 da Figura 36 são ilustrados os sinais de uma reflexão ou pertencentes a um outro evento. Na Figura 38, à esquerda é apresentado um exemplo de duração do sinal de entrada que é maior que o limite máximo permitido, enquanto à direita é mostrado o resultado filtrado de acordo com as condições apresentadas anteriormente.

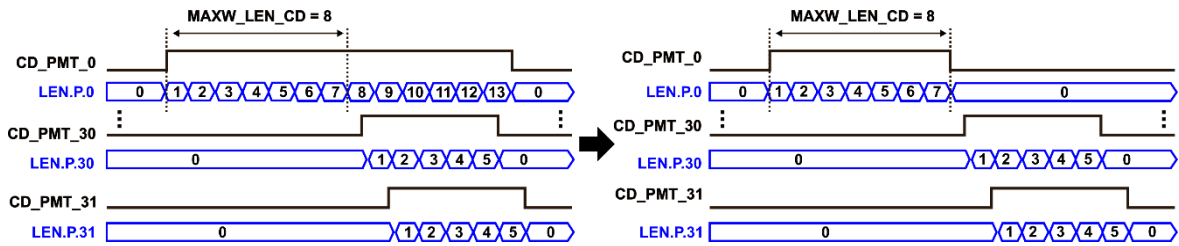


Figura 38 - Filtragem de sinal com duração maior que o limite.

No fluxo principal de dados do *trigger* de multiplicidade, os sinais discriminados filtrados seguem para o contador de eventos ativos simultâneos, que gera um valor de soma necessário para a determinação do sinal de *trigger* no módulo *Multiplicity Trigger Kernel*. A máquina de estados deste último é ilustrada na Figura 39.

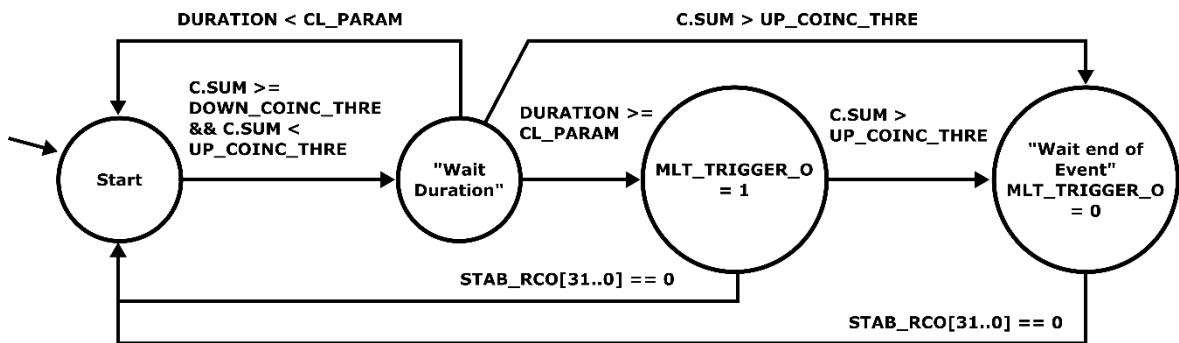


Figura 39 - Máquina de estados do *Multiplicity Trigger Kernel*.

6.4 *Trigger* de Antineutrinos por Energia

Os 4 estágios de eletrônica de *front-end* que realizam a conformação e amplificação dos sinais analógicos dos PMTs possibilitam um formato de sinal de saída com uma identidade rastreável [28] [29] [27].

Na Seção 4.1 foi introduzida a função de aproximação que relaciona a carga/energia do sinal analógico com a duração do pulso discriminado. No projeto deste trabalho, esta função será utilizada para estimar a energia dos sinais de antineutrinos oriundos dos PMTs

do detector central e consequentemente, viabilizar o *trigger* de primeiro nível por energia do detector Neutrinos Angra a partir de sinais discriminados.

Os estágios do *trigger* por energia fazem uso do módulo *Registers & Counters* em conjunto com o *Window Analysis* descritos na Seção 6.3, conforme ilustrado na Figura 40.

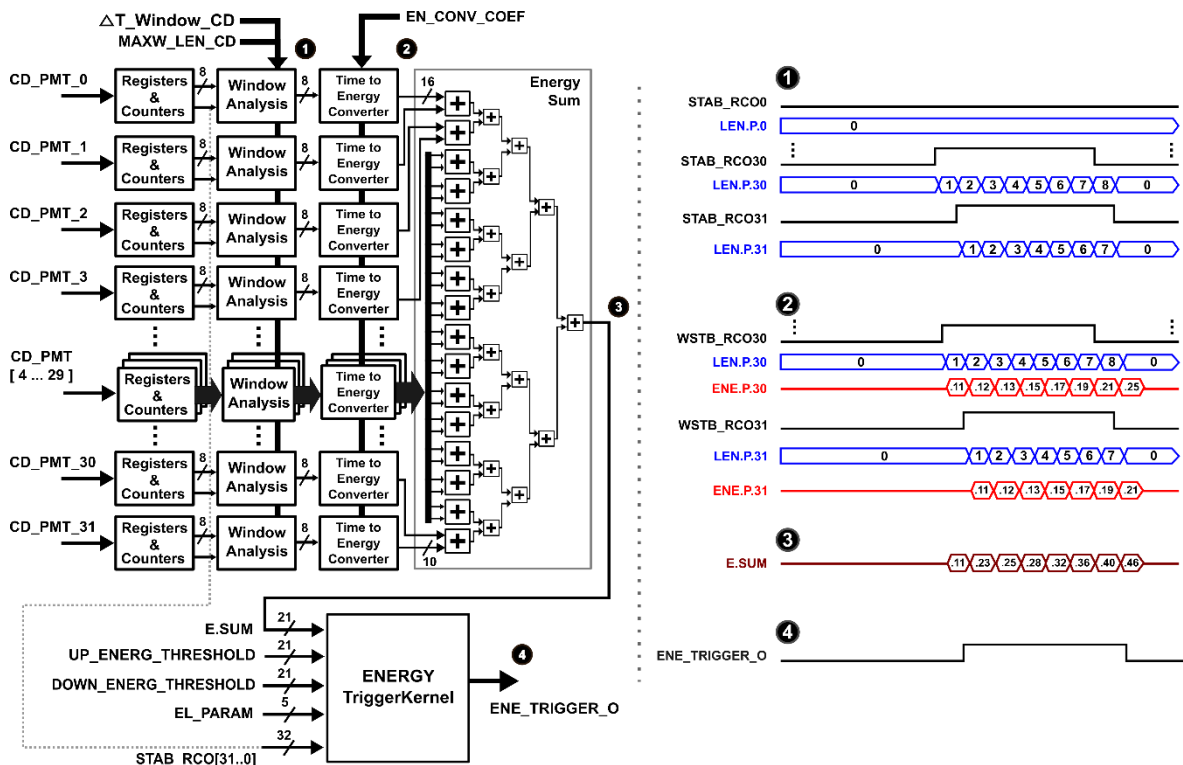


Figura 40 - Diagrama de sinais dos módulos do *trigger* por energia.

Para o cálculo da energia é utilizada a duração provida pelo módulo *Window Analysis*, esta que corresponde a uma contagem com base no clock do FPGA. Os itens enumerados na Figura 40 representam as saídas internas do *trigger* de energia e na direita da figura são ilustrados os respectivos diagramas de forma de onda. No geral, estas fases correspondem respectivamente à:

1. As saídas dos contadores do módulo *Window Analysis* (WSTB_RCO);
 - O módulo *Window Analysis* provê uma contagem na saída correspondente à duração da duração do sinal discriminado;
 - Caso os sinais estejam de acordo com o limite máximo de duração *MAXW_LEN_CD* e com a janela de mesmo evento ΔT_Window , o valor do contador é disponibilizado na saída. Caso contrário, ele é descartado como o sinal do PMT0 do Item 1 do diagrama de onda.
2. Aos valores de energia;

- Os contadores funcionam como endereços para a *look up table* do módulo *Time to Energy Converter*, que converte de duração do pulso para energia estimada do sinal analógico;
- 3. À soma das energias de todos os 32 canais do detector central. Como no *trigger* por multiplicidade, a soma é realizada por pares e em 5 estágios; e
- 4. Ao sinal de saída do *trigger* por energia (*EME_TRIGGER_0*);
 - Para emitir o sinal de *trigger*, o valor de energia do somador deve permanecer dentro da faixa dos *thresholds* (inferior e superior) por um período mínimo definido por *EN_PARAM*. Comportamento similar a máquina de estados de multiplicidade da Figura 39.

A conversão de duração para energia é feita a partir de uma *look up table* (módulo *Time to Energy Converter*) que faz uso das curvas e aproximação descritas na Seção 4.1. Como a contagem do módulo está vinculada à frequência de operação do FPGA, cada passo (*step*) do contador representa, no domínio do tempo, um período de *clock* do sistema FPGA. A duração final em nanossegundos é obtida a partir da multiplicação do valor do contador pelo período de *clock* do sistema (*FPERIOD*).

Na Figura 41 são ilustrados os diagramas de onda do processo base de estimação de energia, de acordo com o módulo *Time to Energy Converter*.

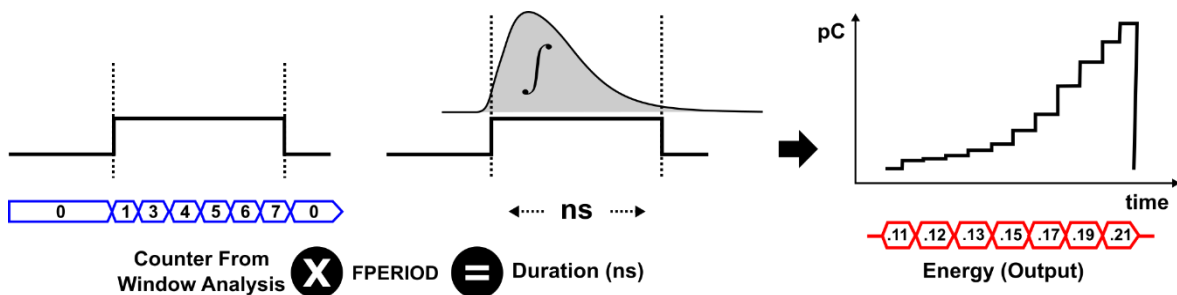


Figura 41 - Conversão de largura do pulso (ns) para energia (pC).

Para evitar o uso de multiplicadores (elementos que tem alta latência e consomem muita área em circuitos digitais), no circuito destinado à conversão, foi realizada uma normalização (divisão pelo período, *FPERIOD*) dos valores de entrada durante a geração da *look up table* no MATLAB.

A partir da normalização, as contagens de saída do módulo *Window Analysis* correspondem diretamente ao índice de entrada da *look up table* do módulo *Time to Energy Converter*. A composição dos dados do módulo *Time to Energy Converter*, com auxílio do MATLAB, é ilustrada nos estágios do diagrama da Figura 42.

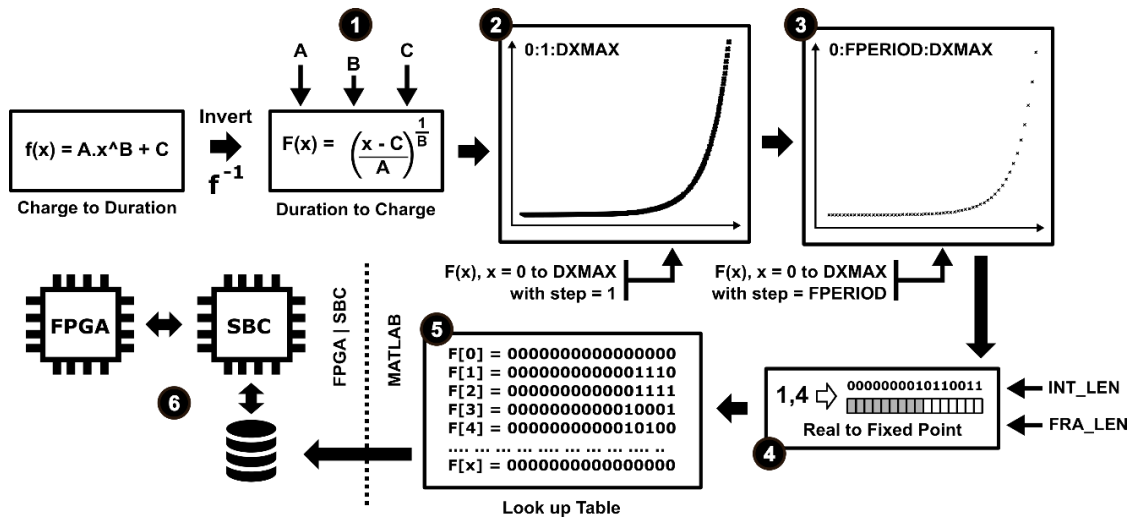


Figura 42 - Etapas de geração dos dados de conversão de duração para energia.

Os itens enumerados na Figura 42 correspondem respectivamente a:

1. Função inversa da apresentada na Seção 4.1. A função da Seção 4.1 corresponde à conversão de energia (carga) para duração – para este projeto, é necessário obter a energia a partir da duração:
 - Função da Seção 4.1: $f(x) = Ax^B + C$
 - Função Inversa: $F(x) = ((x - C) / A) ^ (1/B)$
2. Estimativa da energia com base na função de conversão.
 - São montados os valores de energia para o universo de 0 até uma duração máxima ($DXMAX$), com passo de 1 ns (ou 1 GHz);
3. Normalização e redução do conjunto de dados de energia.
 - Monta-se o conjunto de valores de energia já multiplicados pelo período do clock, para que cada índice da tabela final de energia corresponda diretamente ao valor do contador de duração;
 - Por exemplo, considerando que o período do clock é 5 ns, se o valor do contador é igual 3, o respectivo valor correspondente no índice 3 da tabela é a energia para 15 ns;
 - Esta ação reduz a quantidade de índices da tabela final (quantidade de entradas da tabela do Passo 2 dividida pelo período do sistema, $FPERIOD$).
4. Conversão dos valores de energia para ponto fixo;
 - Cada valor de energia da tabela é convertido em ponto fixo de acordo com os parâmetros que definem a quantidade de bits da parte inteira (INT_LEN) e fracionária (FRA_LEN).
5. Montagem da *look up table*, com cada índice contendo as energias representadas numa palavra de 16 bits em ponto fixo;

- No *setup* de configuração inicial dos sistemas de *trigger* os valores da *look up table* são salvos numa base local na SBC e transferidos via SPI para uma memória no FPGA.

6.5 Sistemas de *Trigger* de Múons

Os sistemas de veto e *shield*, conforme sinalizado na Figura 35, utilizam somente os critérios da multiplicidade para definir um evento de veto válido. De modo similar ao caminho de dados do *trigger* por multiplicidade e energia, para os vetos há os módulos *Register & Counters* e *Window Analysis*, responsáveis por realizar a filtragem nos sinais e por eliminar sinais que não pertençam ao mesmo evento.

Para os vetos há duas ramificações: uma com 8 PMTs, correspondente aos vetos superior (4 PMTs) e inferior (4 PMTs); e outra com 4 PMTs, correspondente ao *shield*. Na Figura 43 é ilustrada a lógica de funcionamento dos sistemas de veto e *shield*.

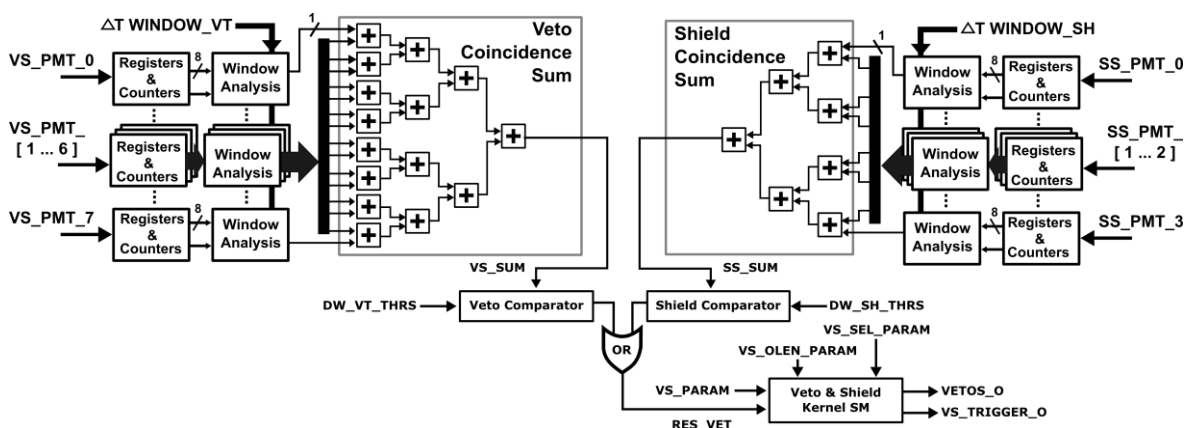


Figura 43 - Lógica de funcionamento dos vetos e *shield*.

A ocorrência de um evento de veto é dada caso ele ocorra em um dos vetos (superior e inferior) ou no *shield*, conforme indicado na Figura 43. Neste caso, os resultados das somas dos vetos e do *shield* são comparados somente com *thresholds* inferiores. Quando um destes eventos ocorre há dois sinais de saída: (1) sinal resultante dos vetos que bloqueia o *trigger* do detector central por uma determinada duração, conforme ilustrado na Figura 35, (baseada no parâmetro *VS_PARAM*); e (2) sinal de *trigger* para os NDAQs do veto (que tem duração de saída definida por *VS_OLEN_PARAM*).

O módulo *Veto & Shield SM* da Figura 43 propaga o sinal de veto a partir do parâmetro *VS_PARAM*, conforme máquina de estados apresentada na Figura 44.

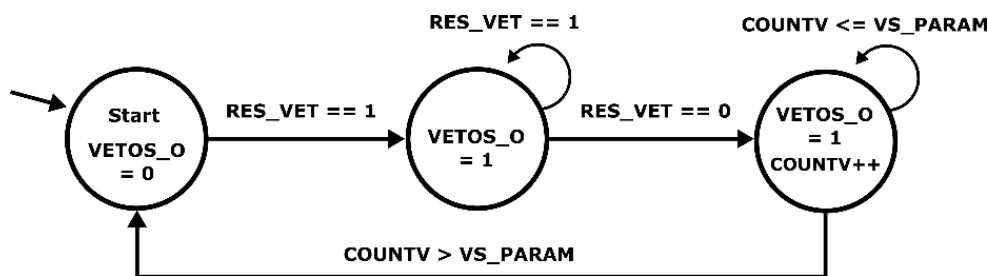


Figura 44 - Máquina de estados de propagação de sinal de veto.

A partir do seletor de saída (parâmetro, VS_SEL_PARAM) é possível escolher se o sinal de *trigger* final do veto será obtido a partir do resultado do *shield*, do veto superior/inferior ou na ocorrência de um dos dois (configuração padrão).

Um evento em um dos canais de vetos implica em um ruído de fundo que contamina o resultado de *trigger* do detector central por um determinado período e gera falsos positivos, desse modo, estes deverão ser desconsiderados pela lógica adotada. O comportamento destes sinais é apresentado na Seção 6.7.

6.6 Sistemas Auxiliares de *Trigger*

Com o intuito de contribuir no processo de instalações e calibrações do sistema de *trigger* no detector e de avaliar o comportamento dos ruídos do experimento, foram desenvolvidos dois grupos de sistemas auxiliares: (1) *triggers* por multiplicidade para detector central, veto e *shield*, configurados em modo manual; e (2) *trigger* de *downscale*, para amostragem de dados aleatórios de ruído. Os sinais de entrada/saída e parâmetros destes sistemas são ilustrados no diagrama da Figura 45.

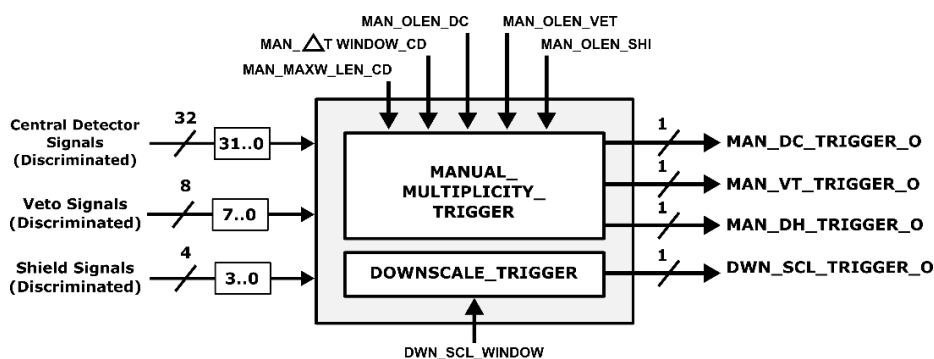


Figura 45 - Diagrama de sinais e parâmetros dos sistemas de *trigger* auxiliares.

O sistema de *trigger* em modo manual trabalha em paralelo aos demais sistemas e visa realizar testes de integração dos sistemas de *front-end*, *trigger* e NDAQs do experimento, utilizando somente configurações providas através dos componentes do kit FPGA (botões, *switches* e *displays* de sete segmentos) e sem a necessidade de

transferência de parâmetros/configurações via plataforma SBC. No geral, o sistema foi restringido às seguintes funcionalidades:

- Uso somente dos critérios de multiplicidade nas três saídas independentes de *triggers*: detector central, veto superior/inferior e *shield* (Figura 45);
- Configuração das janelas de mesmo evento para cada uma das saídas:
 - *MAN_ΔT_WINDOW_CD*, destinada ao detector central;
 - *MAN_ΔT_WINDOW_VT*, destinada aos vetos superior/inferior;
 - *MAN_ΔT_WINDOW_SH*, destinada ao *shield*.
- Valor máximo de sinal do detector central, *MAN_MAXW_LEN_CD*;
- Três *thresholds* inferiores de multiplicidade:
 - *MAN_THRES_DC*, destinado ao detector central;
 - *MAN_THRES_VT*, do veto superior/inferior;
 - *MAN_THRES_SH*, do *shield*.
- As durações das saídas de cada um dos três *triggers* não são ajustáveis e tem tamanho fixo padrão (50 ns).

O sistema de *trigger* manual coleta os dados das 44 PMTs do experimento Neutrinos Angra, realiza a análise em três grupos e retorna as respectivas saídas, conforme apresentado no diagrama da Figura 46.

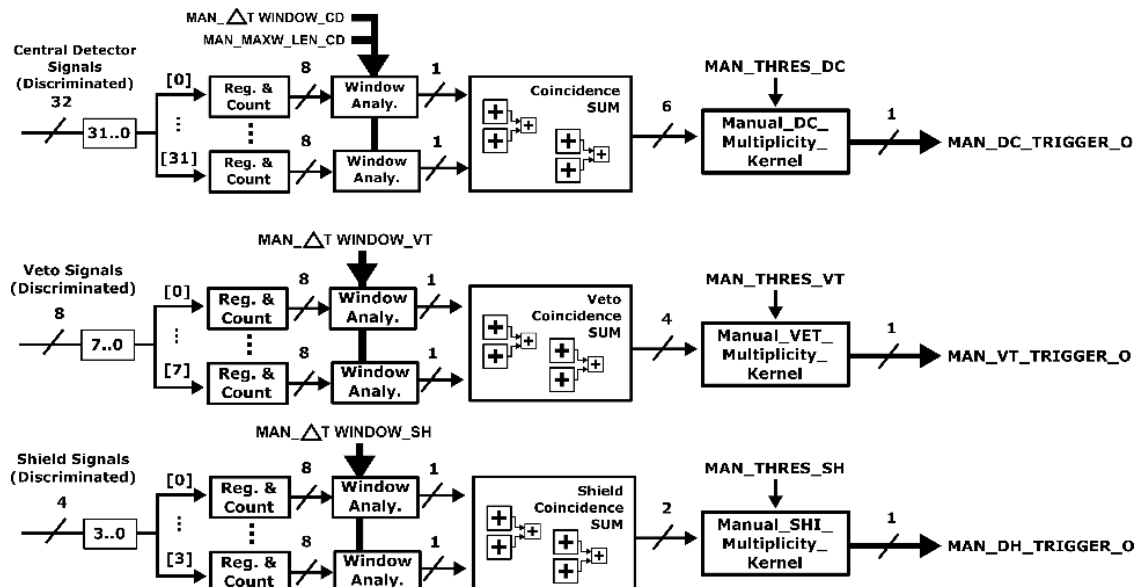


Figura 46 - Diagrama de arquitetura do *trigger* manual.

A configuração dos parâmetros ilustrados na Figura 46 é realizada utilizando os componentes do kit FPGA do experimento. O padrão de usabilidade montado a partir do kit FPGA é apresentado na Seção 7.3.1 (Página 81).

O funcionamento do *trigger* de *downscale* também é em paralelo aos sistemas de *trigger* de energia e multiplicidade apresentados, sendo baseado num sistema de *trigger* periódico, similar ao detector Super-Kamiokande [9]. A janela de período é definida a partir do parâmetro *DWN_SCL_WINDOW* (conforme Figura 45), que é configurado por meio do sistema de configuração remoto via SBC, descrito na Seção 6.9 (Página 56).

O objetivo do uso do *trigger* de *downscale* é avaliar o comportamento do ruído de escuro gerado pela eletrônica e demais sistemas do experimento. A frequência de observação destes ruídos varia numa faixa de 5 kHz (200 μ s) a 200 kHz (50 μ s) [37].

6.7 Comportamento dos Eventos de *Trigger*

No fluxo geral de dados do projeto, após as análises do *trigger* por multiplicidade e energia, como ilustrado na Figura 35 (Página 40), os sinais resultantes são direcionados para o módulo *Trigger Kernel Decision*, que verifica se as duas condições de *trigger* foram satisfeitas. Neste módulo, a duração do sinal resultante pode ser configurada a partir do parâmetro *TK_DEC_PARAM* – tal funcionamento é similar à máquina de estados de propagação de sinal utilizada no veto, ilustrada na Figura 44. Esta funcionalidade foi desenvolvida para atender aos requisitos de funcionamento do NDAQ, que exige que o sinal final de *trigger* tenha uma duração fixa de aproximadamente 50 ns [12].

Num evento típico de neutrinos, durante a análise dos sinais pelos sistemas de *trigger*, o resultado por multiplicidade é mais rápido do que o de energia, uma vez que para estimar a energia é necessário coletar as durações dos sinais discriminados. Esta característica do *trigger* por energia condiciona que o sinal resultante de saída só irá ocorrer aproximadamente no final dos sinais do evento.

Na Figura 47 é apresentado o comportamento de dois prováveis eventos de neutrinos contendo a atuação do *trigger* por multiplicidade e energia, bem como o funcionamento dos vetos. Para tal foram consideradas as seguintes condições:

- O *threshold* inferior (*DOWN_COINC_THRESHOLD*) do *trigger* de multiplicidade foi de 4 PMTs ativos e o *threshold* superior de 15 unidades;
- O *threshold* inferior (*DOWN_ENERGY_THRESHOLD*) do *trigger* de energia utilizado foi de 0.9 pC e o *threshold* superior de 10 pC;
- Os *thresholds* utilizados nos vetos superior/inferior e *shield* foram de 3 unidades cada;
- Os sinais de saída de *trigger* para os NDAQs têm comprimento de 50 ns e a janela de bloqueio do veto escolhida é de 90 ns;

- Somente os sinais dos PMTs que aparecem na figura é que participaram destes eventos, os demais não ficaram ativos neste recorte do evento.

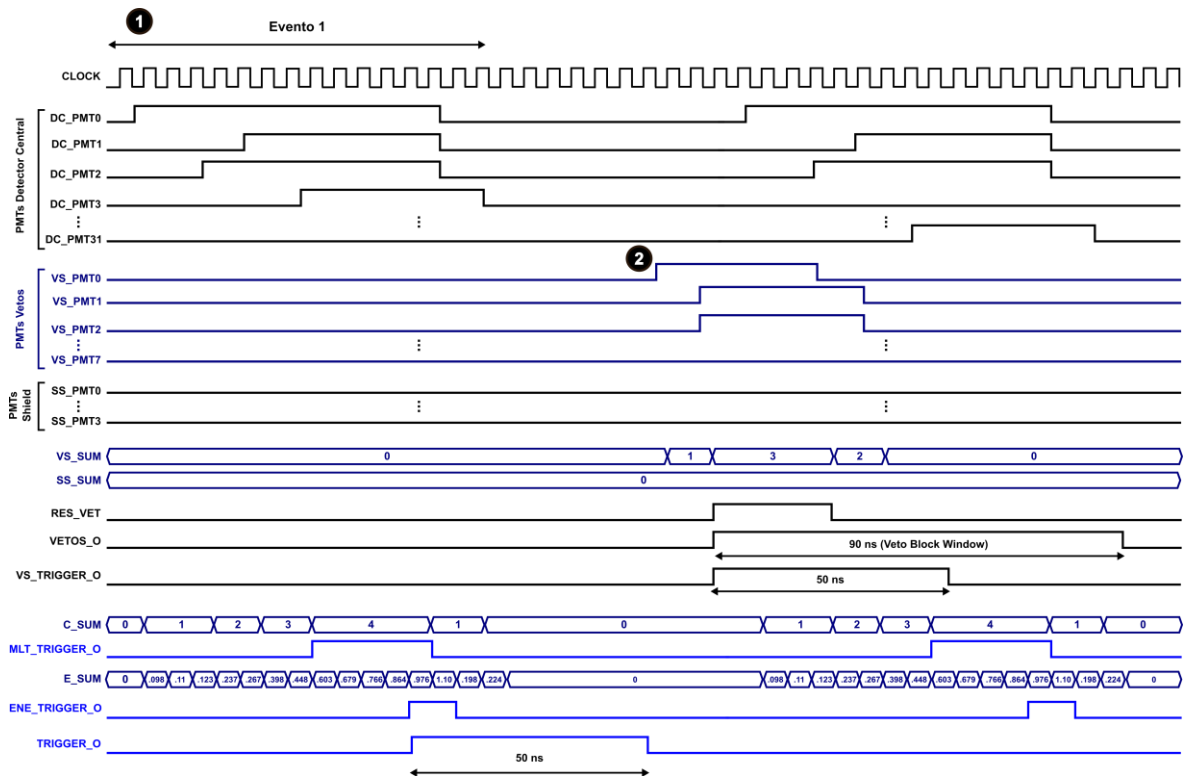


Figura 47 - Comportamento de eventos de *trigger* com vetos.

A partir da Figura 47 é possível observar o comportamento conjunto dos principais sinais que participam de eventos que geram ou não *trigger* de neutrinos. O Item 1, em destaque na figura, representa um evento que atende aos requisitos dos *thresholds* inferiores de energia e multiplicidade e, ao final, gera um *trigger* de antineutrinos, *TRIGGER_O*. Contudo, no Item 2 as condições de veto são satisfeitas, o que consequentemente gera uma janela de bloqueio e um descarte do evento de *trigger* de neutrinos do detector central que ocorre durante esta janela.

Este evento de *trigger* de neutrinos, que tem os sinais de multiplicidade e energia ativos durante o evento do Item 2, foi contaminado pelo evento de múons que ocorreu instantes antes e precisa ser desconsiderado. No evento do Item 2, o sinal de *trigger* de veto é ativado para que os respectivos NDAQs realizem a aquisição.

De modo auxiliar, foram desenvolvidos outros subsistemas para identificação dos eventos, sincronização e geração de estatísticas, que subsidiarão as análises físicas da Colaboração Neutrinos Angra [37]. Com este foco, há o identificador de eventos que tem as seguintes entradas/saídas e sua máquina de estados base descritas na Figura 48.

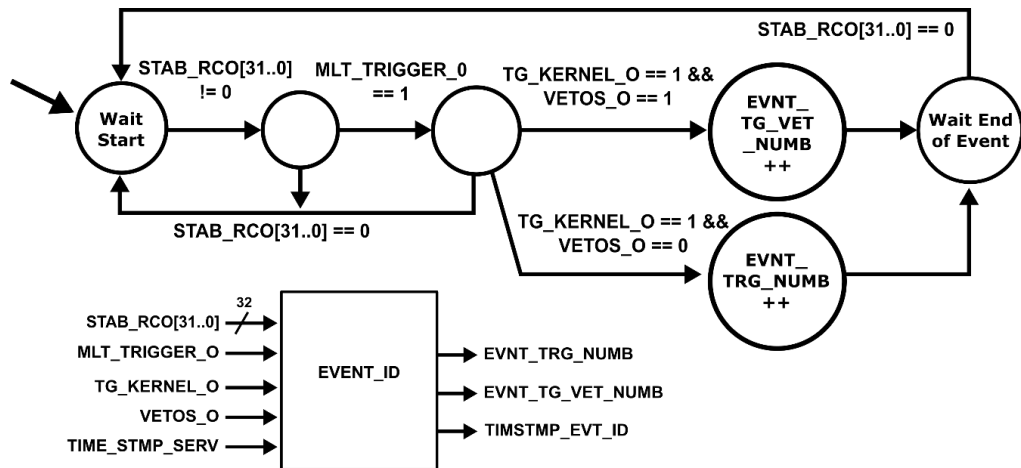


Figura 48 - Identificador e contador de eventos.

A máquina de estados apresentada na Figura 48 tem as seguintes características:

- O identificador de eventos faz uso do princípio de que, num evento típico de neutrinos, o resultado da multiplicidade ocorre antes do da energia.
- Um evento é iniciado quando um dos sinais dos 32 PMTs do detector central é ativado, logo após é observado se o *trigger* por multiplicidade foi alcançado;
 - O módulo *EVENT_ID* coleta os dados dos PMTs após as filtragens dos módulos *Register & Counters* e *Window Analysis*.
- Logo depois, é verificado se o sinal de *trigger kernel* está ativo com base em duas condições: se o veto não estiver ativo é incrementado o contador de eventos de *trigger* (*EVNT_TRG_NUMB*), caso contrário é incrementado o contador que indica que houve um evento de *trigger* durante um evento de veto (*EVNT_TG_VET_NUMB*);
- O final do evento é identificado quando todos os sinais dos 32 PMTs voltam para zero novamente;
- No módulo ainda há uma identificação temporal que referencia o número do evento com um respectivo *time stamp* do sistema, oriundo do servidor geral do evento, a partir da comunicação com a SBC.

A identificação do evento é utilizada como referência para todo o sistema de *trigger* e aquisição de dados deste trabalho.

6.8 Sistema de Aquisição de Informações de *Trigger*

No contexto do projeto Neutrinos Angra, o sistema de aquisição e reconstituição de dados discriminados, proposto neste trabalho, tem como objetivo propiciar uma avaliação

estatística e visual do comportamento dos sinais que participam do sistema de *trigger* descrito nas seções anteriores.

O módulo de aquisição usa como base os seguintes sinais:

- 32 PMTs do detector central;
- 8 PMTs do veto;
- 4 PMTs do *shield*;
- Resultado do *trigger* por multiplicidade; e
- Resultado do *trigger* por energia.

O sistema de aquisição usa o instante de *trigger* por multiplicidade para ativar as máquinas de estados que coletam os sinais discriminados dos PMTs. Este módulo também faz uso da premissa de que, nos eventos de neutrinos, o *trigger* de multiplicidade ocorre sempre antes do de energia.

O funcionamento básico do sistema é armazenar as durações dos sinais dos PMTs antes e depois do instante de *trigger*, através do uso de contadores. Desse modo, para cada um dos 44 PMTs foram atribuídos dois contadores, um que armazena a duração antes do instante de *trigger* e outro para depois.

A Figura 49 apresenta os principais elementos utilizados no sistema de aquisição e suas respectivas entradas e saídas.

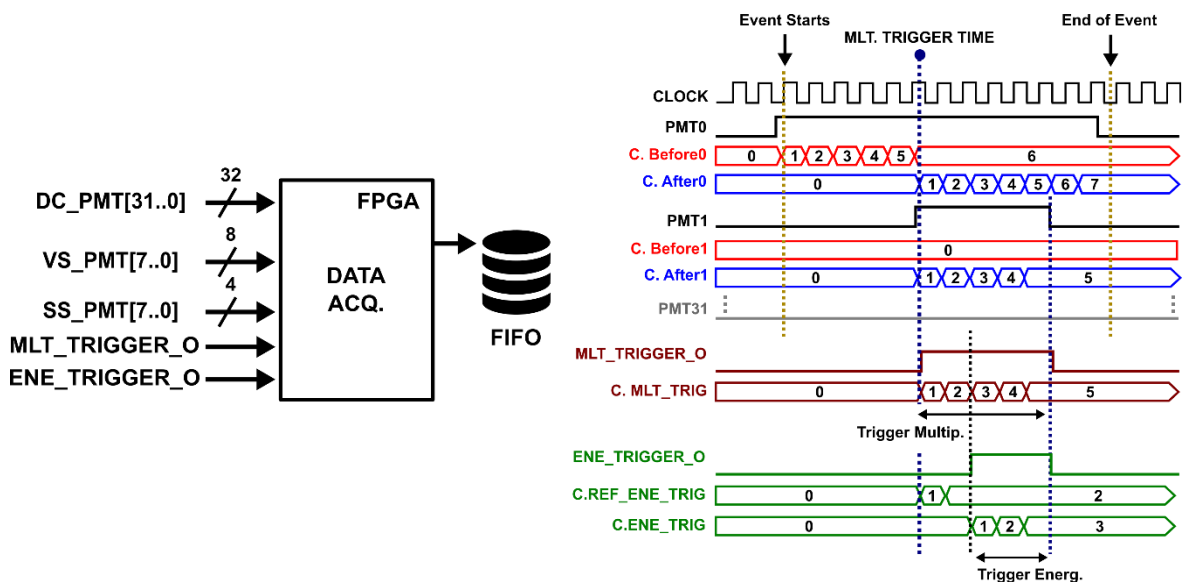


Figura 49 - Funcionamento do sistema de aquisição de dados.

As principais características e funcionalidades do sistema de aquisição de dados deste trabalho são listadas a seguir:

- Cada contador está associado ao *clock* principal do sistema;

- A resolução de amostragem está atrelada à frequência do *clock* e cada contagem corresponde, em nanossegundos, ao produto do valor do contador pelo período do *clock*;
- O evento de amostragem é iniciado quando pelo menos 1 dos PMTs fica ativo;
- Para cada PMT ativo é disparado um contador anterior ao *trigger*;
- Quando o *trigger* por multiplicidade é ativado, o contador anterior ao *trigger* fica congelado e o contador posterior é iniciado até o sinal ser desativado;
- O evento de amostragem é finalizando quando todos os sinais dos PMTs voltam para zero;
- O sistema de amostragem também tem contadores que salvam a duração dos *triggers* de multiplicidade e energia, bem como salvam a diferença de tempo entre os dois *triggers*, item necessário para reconstituição da referência temporal no diagrama de onda.

Os dados de cada um dos contadores são salvos em uma FIFO interna ao FPGA e posteriormente são enviados para a SBC e servidor de dados do experimento, estas rotinas fazem parte do sistema de comunicação e configuração descritos na próxima seção.

A reconstituição e análise dos dados adquiridos é realizada no servidor a partir de ferramentas de *software* auxiliares, tais como MATLAB. Para cada contador foram atribuídos 8 bits, esta decisão partiu da premissa que a frequência máxima dos FPGAs utilizados no experimento é de 400 MHz (a depender do circuito), o que ao final possibilitaria representar uma duração máxima aproximada de 637.5 ns (255 posições do contador vezes 2.5 ns do período). O diagrama de reconstituição de dados é ilustrado na Figura 50.

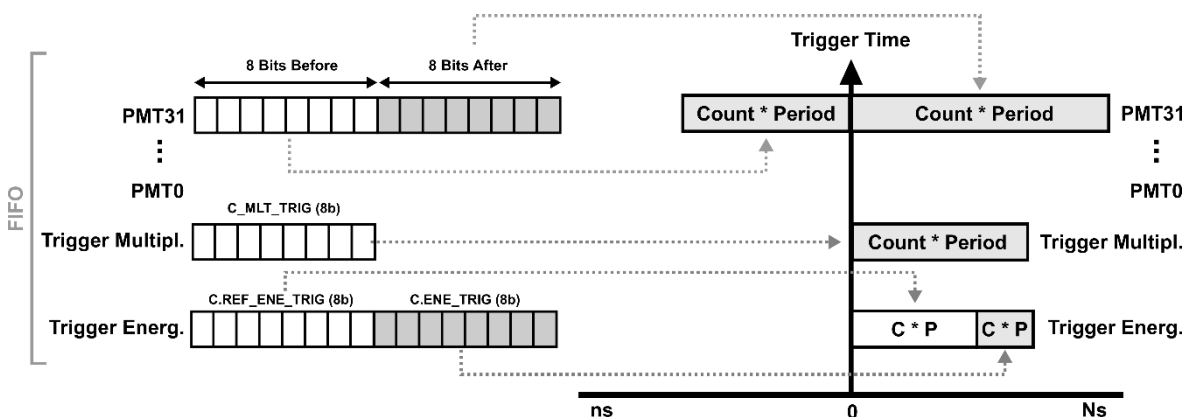


Figura 50 - Diagrama de reconstituição dos dados adquiridos.

Como ilustrado na Figura 50, na reconstituição primeiramente é definido o instante 0 (zero) no Eixo X, que representa o tempo em nanossegundos, enquanto no Eixo y são

dispostas as identificações das posições dos PMTs e dos dois *triggers*. Interativamente, para cada PMT a partir do instante 0 é adicionado um gráfico de barras referente ao comprimento antes e depois do *trigger*, que corresponde ao produto *valor do respectivo contador pelo período do clock do sistema*. Para a representação do *trigger* de energia é adicionado um gráfico de barras referente ao comprimento, contudo o início dele não é no instante 0 e, sim, na referência de deslocamento obtida a partir da diferença entre os dois *triggers*.

Com base nas informações das durações antes e depois do *trigger* é possível estimar a duração total dos sinais dos PMTs, realizar análises estatísticas do comportamento, avaliar o funcionamento dos módulos de filtragem, bem como realizar rotinas com foco na calibração dos sistemas.

6.9 Comunicação e Parametrização de Dados

Os sistemas de *trigger* e aquisição apresentados nas seções anteriores são configurados através dos sistemas de comunicação e parametrização de dados desenvolvidos neste trabalho, através do uso de plataforma *Single Board Computer* (SBC) conectada ao FPGA. O objetivo geral é possibilitar a configuração remota do sistema de *trigger*, por meio de rede privada.

No geral, há duas principais funcionalidades do sistema no projeto: configurar os registradores responsáveis pelas condições de *trigger*, *thresholds*, janelas e demais parâmetros; e coletar os dados de *trigger* adquiridos dos eventos.

A comunicação entre o FPGA e SBC é realizada através de protocolo *Serial Parallel Interface* (SPI). O SPI foi utilizado em modo *master* na SBC a partir de *driver* Linux padrão, e no FPGA foi desenvolvido o módulo SPI em modo *slave*.

Para controle geral da comunicação entre SBC, e FPGA foram adicionados 3 sinais de controle, além dos 4 sinais básicos do SPI, conforme Figura 51.

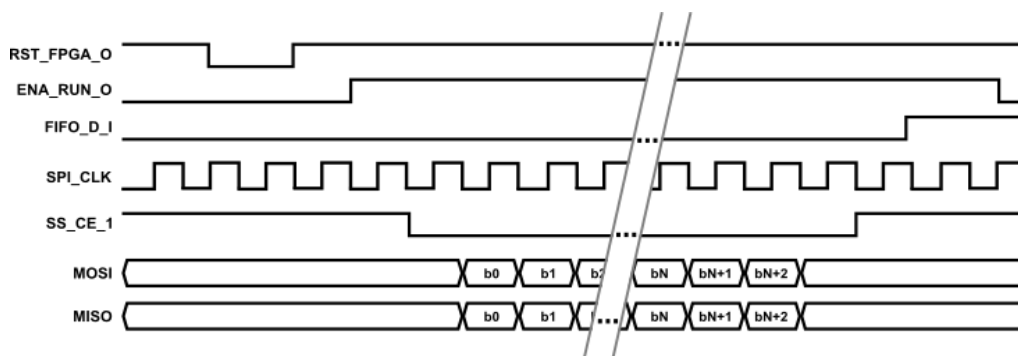


Figura 51 - Sinais de comunicação FPGA - SBC.

No fluxo de comunicação base da comunicação, conforme Figura 51, inicialmente todo o sistema FPGA é resetado e, logo após, é habilitada a comunicação através do sinal *ENA_RUN_0*. A partir destes passos, o controlador da SBC ativa a troca de dados via SPI e o *driver* habilita o seletor, gera o *clock* e envia/recebe dados do FPGA. No fluxo de dados, ainda há um sinal oriundo do FPGA que indica que a FIFO de dados está vazia.

No FPGA há um módulo conectado ao SPI para controle de fluxo de dados que salva as informações dos parâmetros no banco de registradores e coleta os dados de aquisição através da FIFO. Por outro lado, na SBC associado ao *driver* SPI há um módulo de controle de dados, que faz as interações com os arquivos e base de dados. Os principais módulos do sistema de comunicação e parametrização de dados são apresentados na Figura 52.

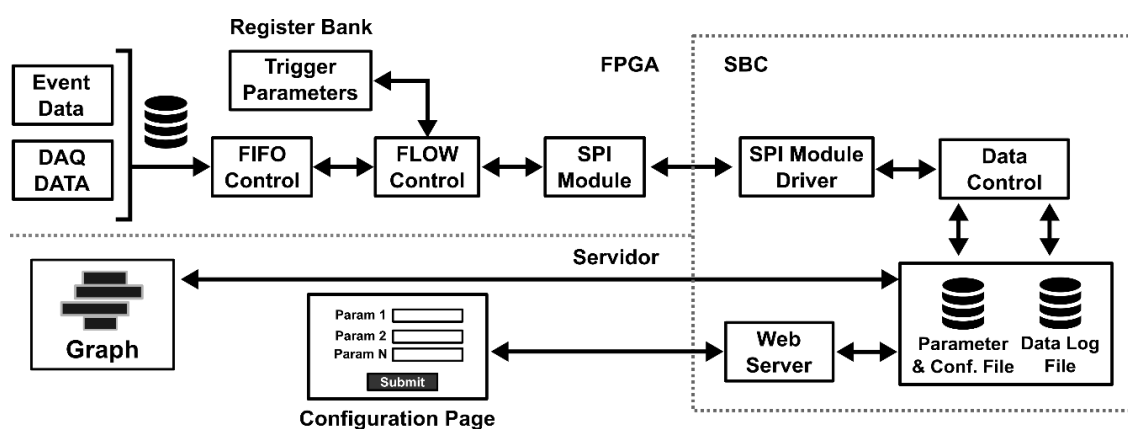


Figura 52 - Fluxo de configuração e comunicação de dados.

Para a parametrização dos dados foi desenvolvida uma página web para inserção dos parâmetros, que se conecta a um servidor de requisições instalado na SBC. Os dados de aquisição são salvos em arquivo “.DAT” para posterior reconstituição via ferramenta de simulação auxiliar, como MATLAB. Na SBC, o *driver* do SPI e os sistemas de controle e gravação de arquivos foram desenvolvidos em linguagem *Python* e o servidor web desenvolvido em PHP com MySQL.

Os principais parâmetros/dados transferidos entre FPGA e SBC foram introduzidos nas Figura 35, Figura 48 e Figura 50. Na Tabela 4, há a listagem com suas respectivas descrições e papéis nos sistemas de *trigger* e aquisição desenvolvidos.

Tabela 4 - Principais parâmetros de configuração e comunicação.

Nome	Descrição
<i>UP_COINC_TRESHOLD</i>	<i>Threshold</i> superior do <i>trigger</i> de multiplicidade
<i>DOWN_COINC_TRESHOLD</i>	<i>Threshold</i> inferior do <i>trigger</i> de multiplicidade
<i>CL_PARAM</i>	Duração mínima de aceitação do resultado da multiplicidade
<i>UP_ENERGY_THRESHOLD</i>	<i>Threshold</i> superior do <i>trigger</i> de energia
<i>DOWN_ENERGY_THRESHOLD</i>	<i>Threshold</i> inferior do <i>trigger</i> de energia
<i>EN_PARAM</i>	Duração mínima de aceitação do resultado de energia
<i>TK_DEC_PARAM</i>	Duração do sinal de <i>trigger</i> neutrinos para os NDAQs

Nome	Descrição
<i>MAXW_LEN_CD</i>	Janela máxima de sinal dos PMTs do detector central
<i>ΔT_WINDOW_CD</i>	Janela de aceitação de sinais do evento do detector central
<i>EN_CONV_COEF[256]</i>	Coeficientes de conversão de duração para energia
<i>DW_VT_THRS</i>	<i>Threshold</i> inferior dos vetos superior e inferior
<i>DW_SH_THRS</i>	<i>Threshold</i> inferior do <i>shield</i>
<i>ΔT_WINDOW_VT</i>	Janela de aceitação dos sinais dos vetos do superior/inferior
<i>ΔT_WINDOW_VH</i>	Janela de aceitação dos sinais do <i>shield</i>
<i>VS_PARAM</i>	Configuração da janela de bloqueio por veto
<i>TK_SEL_PARAM</i>	Seletor de <i>trigger</i> neutrinos: multiplicidade energia AND
<i>VS_OLEN_PARAM</i>	Duração da saída de <i>trigger</i> de múons para os NDAQs
<i>VS_SEL_PARAM</i>	Seletor de <i>trigger</i> de múons: vetos <i>shield</i> OR
<i>RUN_TRIG_TIME</i>	Duração da rodada de aquisições e <i>trigger</i>
<i>EVNT_TRG_NUMB</i>	Número de identificação de um evento de <i>trigger</i>
<i>EVNT_TG_VET_NUMB</i>	Número de identificação de um evento de <i>trigger</i> com veto
<i>TIMSTMP_EVT_ID</i>	Identificação do evento a partir de <i>timestamp</i>
<i>C.BEFORE[44]</i>	Contadores dos 44 PMTs para o instante antes do <i>trigger</i>
<i>C.AFTER[44]</i>	Contadores dos 44 PMTs para o instante depois do <i>trigger</i>
<i>C.MLT_TRIG</i>	Contador para comprimento do <i>trigger</i> de multiplicidade
<i>C.REF_ENE_TRIG</i>	Contador de referência temporal do <i>trigger</i> de energia
<i>C.ENE_TRIG</i>	Contador de comprimento do <i>trigger</i> de energia
<i>SERVER_TIME_STAMP</i>	<i>Time Stamp</i> enviado da SBC para o FPGA
<i>DWN_SCL_WINDOW</i>	Janela de <i>trigger</i> de <i>downscale</i> .

Na Seção 7.3 são apresentadas as formas de manipulação remota destes parâmetros através de páginas web.

7 Resultados

Os resultados deste projeto são fundamentados nos seguintes aspectos: simulações; emulação e testes de integração em bancada; e aquisições realizadas com os artefatos reais do detector Neutrinos Angra, montados no laboratório do CBPF. Em adição, também são apresentados os resultados do ponto de vista dos circuitos FPGA desenvolvidos a partir das metodologias de circuitos integrados e microeletrônica [38].

O detector e sistema de aquisição de dados do experimento Neutrinos Angra estão montados no Laboratório de Aquisições do CBPF para testes, calibrações e validações. Contudo, como o CBPF está localizado a dezenas de quilômetros de uma fonte intensa de antineutrinos (como o reator de Angra II), a taxa é muito abaixo do mínimo necessário para sua detecção. Por esta razão, para a obtenção dos resultados experimentais de laboratório, os PMTs, *front-ends* e sistemas do detector foram ajustados para adquirir múons cósmicos.

Para os testes e validações do projeto foi utilizado o kit FPGA Altera DE-2, com *clock* de 200 MHz, a partir de *Phase-locked loop* (PLL) interno, e a plataforma de desenvolvimento *open hardware* Raspberry PI B+ como SBC. O *clock* de 200 MHz do FPGA delimita que a resolução de aquisição terá um período mínimo de 5 ns.

Na Figura 53 são apresentados os principais elementos do detector utilizados para composição dos resultados de aquisição de laboratório deste trabalho.

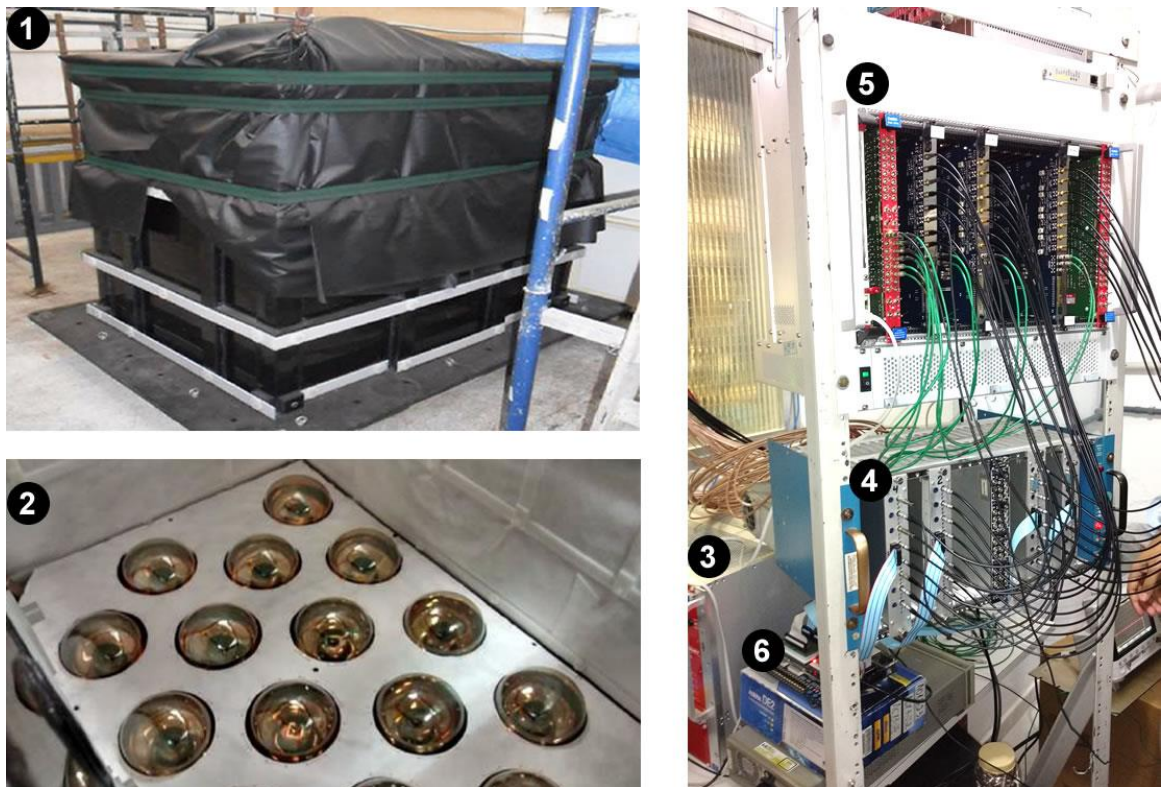


Figura 53 - Configuração do Experimento no Laboratório do CBPF.

Os itens enumerados na Figura 53 correspondem respectivamente a:

1. Tanque com 1 tonelada de água dopada com gadolínio e que contém os 44 PMTs do detector do experimento;
2. Fotografia da disposição dos 16 PMTs inferiores do detector central;
3. Sistema de alimentação de alta tensão para os PMTs;
4. Gaveta com placas eletrônicas de *front-end*;
5. Gaveta com placas eletrônicas de NDAQ e placas de *fan-out*;
6. Placas FPGA e SBC montadas para o realizar os objetivos deste trabalho.

Devido ao cronograma de montagem e integração do detector Neutrinos Angra no laboratório do CBPF, alguns elementos não estavam disponíveis durante o desenvolvimento dos testes deste trabalho. Desse modo, os testes de aquisições experimentais ficaram restritas a: 32 PMTs do detector central, 4 placas de *front-end*, 4 NDAQs e 1 placa de *fan-out*. A validação completa do funcionamento de todos os sistemas deste trabalho foi realizada a partir de dados de simulação e com base em emulação/teste em bancada. A placa de *fan-out* recebe o sinal digital de *trigger* e o replica em 4 saídas, uma para cada NDAQ. O objetivo *fan-out* é garantir que o sinal de *trigger* chegue alinhado nos NDAQs (baixo *skew*) e com tensão/corrente e formatos necessários para identificação.

A Figura 54 apresenta a montagem e conexões do FPGA e SBC, onde o Item 1 corresponde ao FPGA Altera DE-2, o Item 2 a SBC Raspberry PI B+, o Item 3 a uma placa de conexão e adaptação de cabos, o Item 4 aos cabos *flat* para conexão do FPGA com as placas eletrônicas de *front-end* e o Item 5 aos cabos para conexão entre FPGA e SBC.

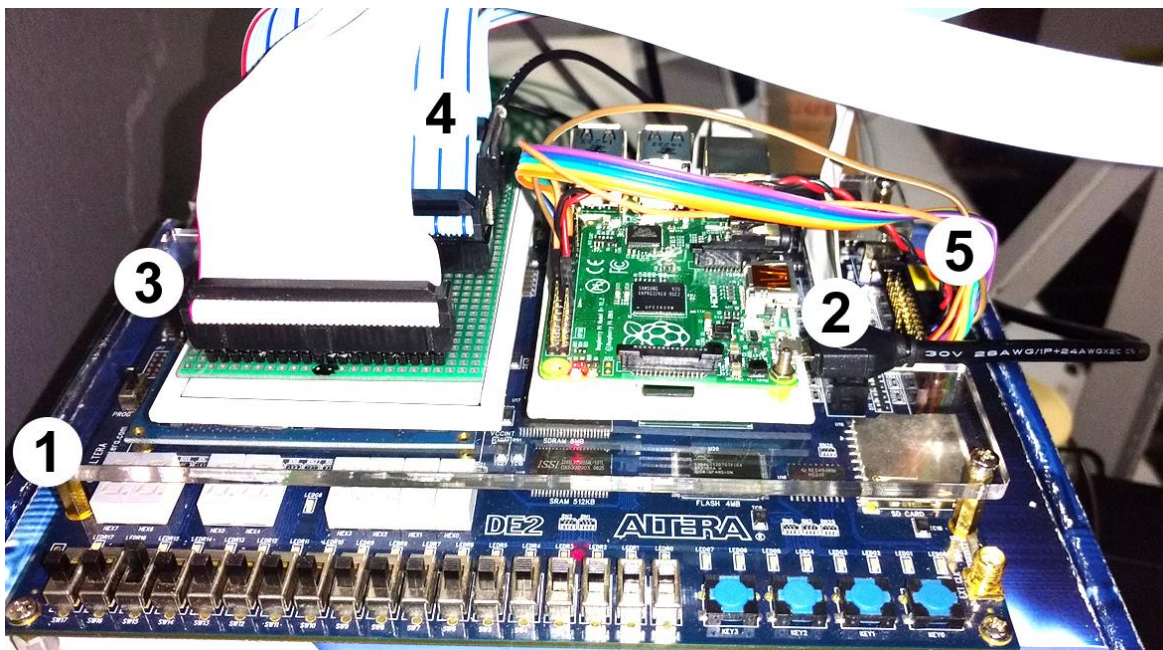


Figura 54 - FPGA e SBC utilizadas no experimento de *trigger*.

Os resultados de laboratório apresentados a seguir foram obtidos a partir de experimentos de trigger com uso dos critérios da multiplicidade e energia e com base nos sinais dos *front-ends* dos 32 PMTs do detector central. No cronograma atual do experimento, os vetos e *shield* ainda não estavam disponíveis para testes completos englobando os PMTs, *front-end* e NDAQs. Desse modo, estes não foram considerados nos experimentos de laboratório com dados reais.

Para os testes experimentais no laboratório do CBPF, o sistema de *front-end* do detector central foi calibrado para aquisição de *múons*. Desse modo, o patamar do discriminador analógico do *front-end* foi ajustado para 100 mV e os PMT's foram polarizados para ganho 10^7 . Estes valores foram obtidos a partir de simulações e aquisições experimentais da colaboração Neutrinos Angra [37].

7.1 Análise de Erro das Aproximações de Energia

Na análise de energia de neutrinos foram considerados somente dados oriundos de simulações disponibilizados pela colaboração Neutrinos Angra [37].

Na Seção 6.4 foram apresentados os passos de montagem da *look up table* que converte de duração para uma energia estimada de neutrinos. Este processo utiliza a representação em ponto fixo dos coeficientes no FPGA, que conseqüentemente inserem erros de aproximação aos valores definidos pela função utilizada para a estimação de energia da Seção 4.1.

Para análise do erro de aproximação do ponto fixo, os coeficientes de energia da Seção 6.4 foram convertidos considerando os seguintes critérios:

- Duração máxima (*DXMAX*): 285 ns;
- Período do clock do FPGA (*FPERIOD*): 5ns (200 MHz);
- Quantidade de bits da parte inteira (*INT_LEN*): 9 bits;
- Quantidade de bits da parte fracionária (*FRA_LEN*): 7 bits;
- Parâmetros da função de aproximação de acordo com o *threshold* de 10 mV aplicado na Tabela 3:
 - A: -580.8408741; B: -0.064556809; e C: 674.6569809.

Na Figura 55 é apresentado o gráfico de duração *versus* energia (carga) gerados de acordo com os critérios previamente mencionados, e com intervalo de 0 a 285 ns, com passos de 1 ns. Este gráfico representa os resultados do passo do Item 2 da Figura 42 da Seção 6.4 (Página 44).

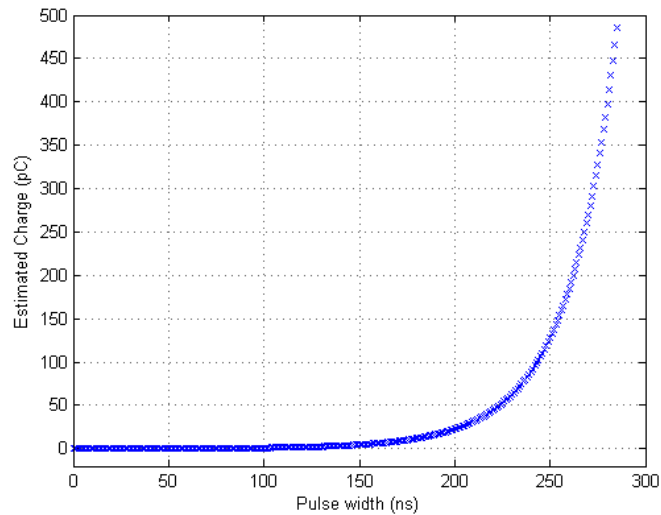


Figura 55 - Função de aproximação de 0 a 285 ns com passo de 1 ns.

A partir da normalização mencionada na Seção 6.4, os dados da Figura 55 foram reduzidos para ficarem de acordo com o período do sistema (*FPERIOD*) de 5 ns, conforme Item 3 da Figura 42. O resultado é apresentado na Figura 56.

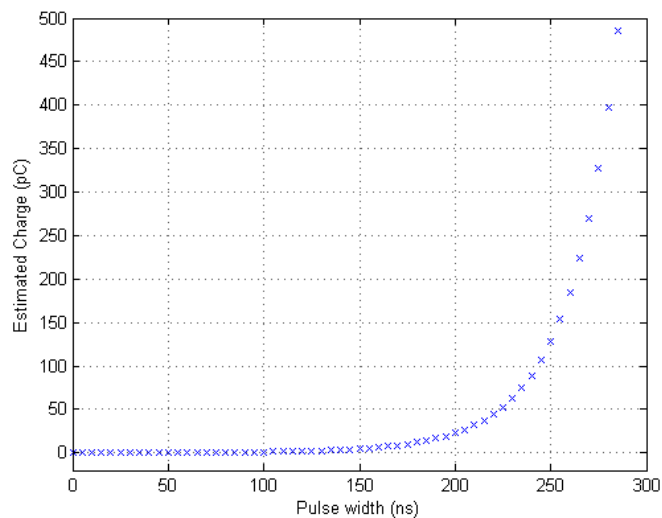


Figura 56 - Resultado da normalização dos dados com passo de 5 ns.

Com base nos resultados da normalização, é possível gerar uma *look up table* de 57 índices de energia, onde cada um destes índices representa 5 ns no domínio do tempo. Assim, o índice 1 corresponde a 5 ns, o 2 a 10 ns e, assim, sucessivamente até o índice 57, que vale 285 ns. Desse modo, na reconstituição da energia, o valor de saída de um contador do *Window Analysis* pode ser diretamente conectado ao índice da *look up table*, sem a necessidade de uma multiplicação pelo período do sistema no FPGA.

Ao realizar a comparação dos valores de energia da função (Seção 4.1) com os respectivos valores em ponto fixo, foi possível obter os erros de aproximação descritos nos gráficos da Figura 57 e da Figura 58.

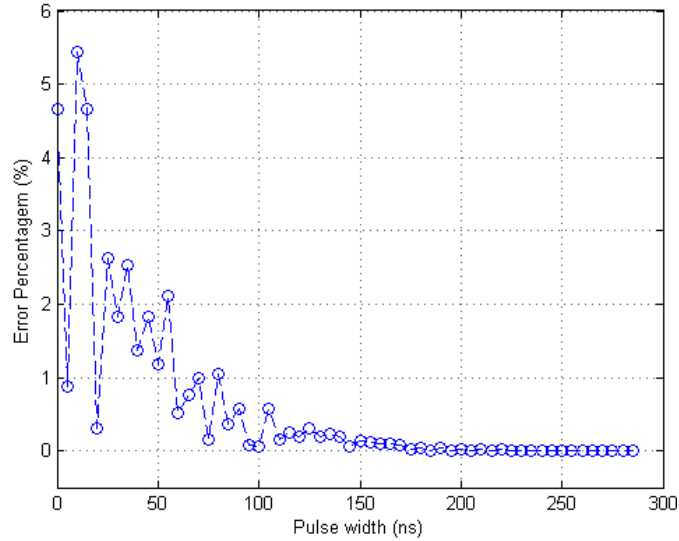


Figura 57 - Erros da aproximação em ponto fixo (percentual).

O erro máximo inserido pela conversão é de 5,44% que representa uma diferença de 0,006748 pC. Em média o erro ficou em torno de 0,6368%, com desvio padrão de 1,2029%.

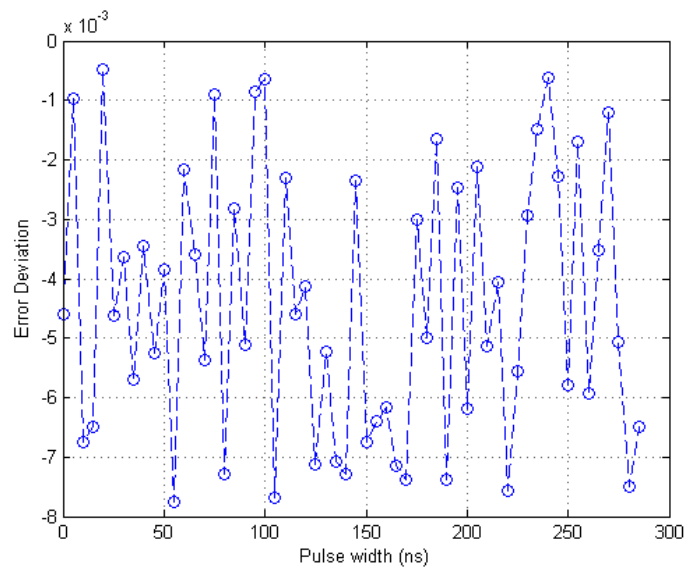


Figura 58 - Erro de aproximação em ponto fixo (absoluto).

Considerando que as decisões de *trigger* por energia de neutrinos giram em torno de dezenas de pC, entre 30 e 200 pC [29], é possível avaliar que o erro máximo inserido por canal é baixo, uma vez que este está próximo dos 8 milésimos de pC (0,007751 pC).

Para avaliar o comportamento acumulado dos erros inseridos pela aproximação foi montado um *testbench* para os módulos *Registers & Counters*, *Window Analysis*, *Time to Energy Converter* e *Energy Sum* (ver Figura 40) e gerados sinais simulados de neutrinos de 0 a 285 ns e com janela de tolerância de início de evento máxima de 100 ns. Um exemplo de evento gerado pelo *testbench* é apresentado na Figura 59.

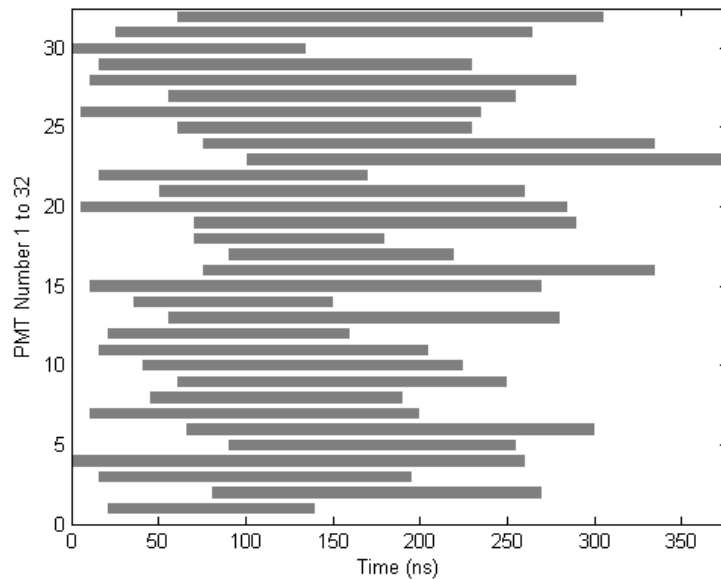


Figura 59 - Exemplo de evento de neutrinos do *testbench* de energia.

Com base neste mesmo evento, foram coletadas as saídas de energia acumulada após o módulo *Energy Sum*, cujos resultados no tempo são apresentados na Figura 60.

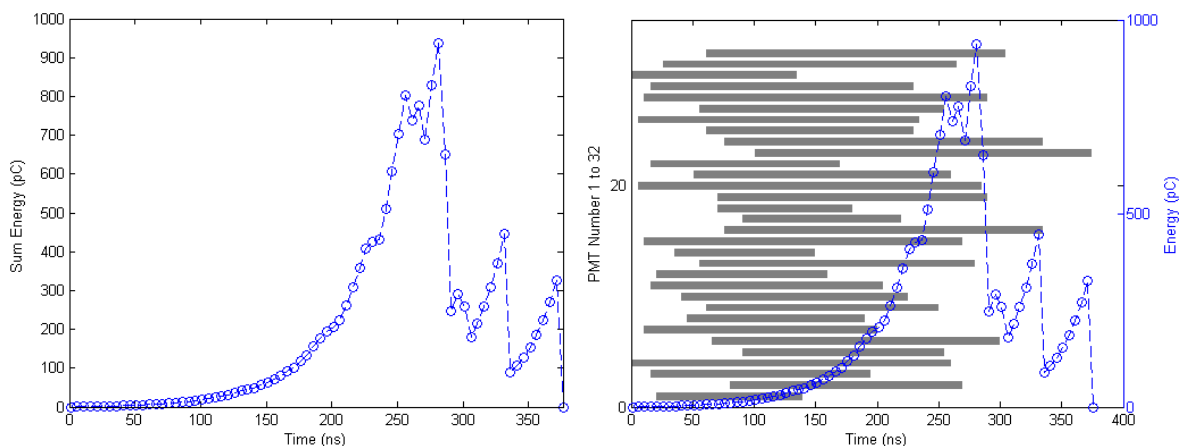


Figura 60 - Valores de energia do evento de neutrinos no *testbench*.

No gráfico da direita da Figura 60 é apresentada uma sobreposição dos valores de energia com os 32 sinais do respectivo evento. A partir deste é possível observar a contribuição dos sinais que tem maior duração na composição do montante de energia. Como já mencionado anteriormente, na Seção 6.7, também é possível verificar que num evento comum de neutrinos o *trigger* de energia ocorrerá próximo ao final do evento, em função do respectivo pico acumulado ilustrado na figura. Nesta mesma análise, por exemplo, considerando um *threshold* mínimo de 14 PMTs, o *trigger* de multiplicidade ocorreria logo nos primeiros 50 ns do evento, ou seja, antes do *trigger* de energia.

Ao realizar uma rodada de simulação de 10.000 eventos aleatórios de prováveis antineutrinos nas mesmas condições, foi possível gerar os histogramas da Figura 61, que

representam os erros (em porcentagem e absoluto) acumulados de aproximação gerados pela soma de todos os canais utilizando ponto fixo no módulo *Energy Sum*.

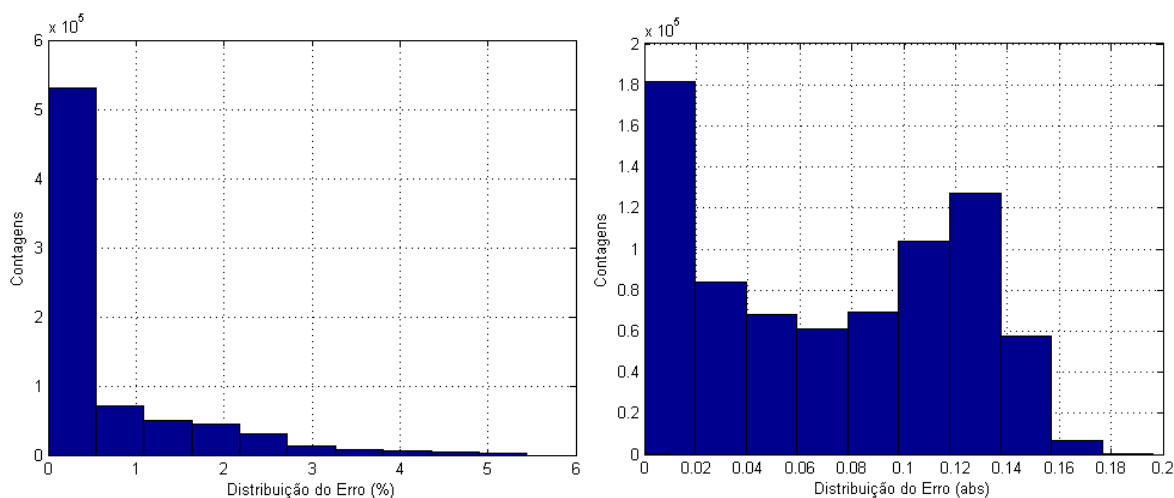


Figura 61 - Histograma de do erro acumulado a partir do *test bench*.

O histograma da esquerda da Figura 61 corresponde à distribuição do erro em porcentagem, enquanto o da direita da figura representa o erro absoluto. Com base nestes dados é possível verificar que para eventos típicos de neutrinos, o erro absoluto acumulado fica concentrado abaixo de 0,2 pC e tem representação máxima menor que 5,6%.

Estes fatores estão em consonância com os dados das Figura 57 e Figura 58, onde as maiores concentrações de erro estão no início dos sinais dos PMTs. Numa outra visão, tais resultados também são importantes para as decisões de *trigger* de energia, que ocorrem normalmente no pico próximo ao final do evento, como apresentado na Figura 60, onde os sinais dos PMTs já estão em regime e têm baixa taxa de erro.

Em adição, num pior caso de propagação de erros, o máximo acumulado seria em torno de 0,248 pC, que corresponde a um evento onde os 32 PMTs iniciam seus sinais simultaneamente no mesmo instante. Esta situação não representará um risco nas decisões de *trigger*, pois este pior caso ocorre no início do evento, onde a energia está bem abaixo de um *threshold* de dezenas de pC.

Os principais *trade-offs* que determinaram as condições do ponto fixo foram baseadas fizeram uso de duas decisões: definição da quantidade de bits para representar os valores de energia da *look-up table*; balanceamento entre da quantidade de bits da parte inteira e fracionária da palavra em ponto fixo.

A quantidade de bits foi definida com base nas limitações de hardware do kit FPGA, na complexidade e grande latência que circuitos com grande quantidade de bits geram na lógica digital. Desse modo, ficou convencionado que a quantidade de bits para representação da energia seria de 16 bits.

Por outro lado, o balanceamento da quantidade de bits do ponto fixo, levou em consideração a região de saturação da função de aproximação, que está entre 285 e 300 ns conforme [29] e Figura 28. Para representar um valor até 300 ns são necessários 9 bits ($2^9 = 512$ posições). Segundo esta premissa base, restaram 7 bits para representar a parte fracionária, que teve um erro de aproximação apresentado na Figura 57.

7.1.1 Cálculo de Energia a Partir de Antineutrinos Simulados

A partir de sinais analógicos de neutrinos gerados por simulação, é possível realizar uma análise de erro com o valor de energia estimado pela função de aproximação embutida na *look up table* do circuito em FPGA desenvolvido no projeto. Para esta validação foram gerados sinais simulados de neutrinos, conforme especificações da colaboração [37], como o exemplo ilustrado na Figura 62.

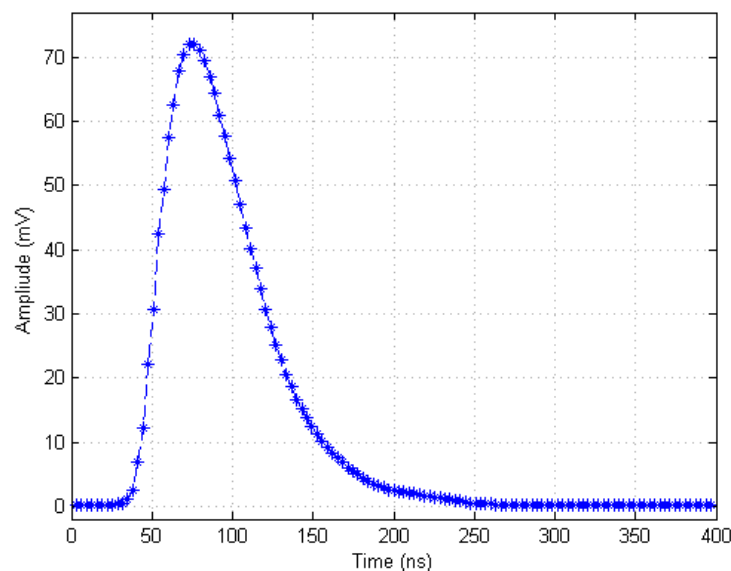


Figura 62 - Sinal de neutrino gerado por simulação.

O sinal de neutrino do gráfico da Figura 62 tem pico de 71 mV. Para determinar a energia proporcional é necessário ainda realizar relação com os fotoelétrons. Na configuração adotada no detector, que tem ganho da PMT igual a 10^7 , um fotoelétron corresponde a 1,602 pC e tem pico em torno de 71mV [37] [29]. Desse modo, o sinal de neutrinos gerado na Figura 62 tem energia aproximada de 1,602 pC.

Por outro lado, para obter a energia a partir da *look up table* é preciso aplicar um *threshold* no sinal analógico, de 10 mV. Este valor é similar ao aplicado na eletrônica de *front-end* e está em consonância com os parâmetros da função de aproximação utilizada no experimento, descritos no início desta seção [29]. O resultado da aplicação do *threshold* de 10 mV no sinal analógico é ilustrado na Figura 63.

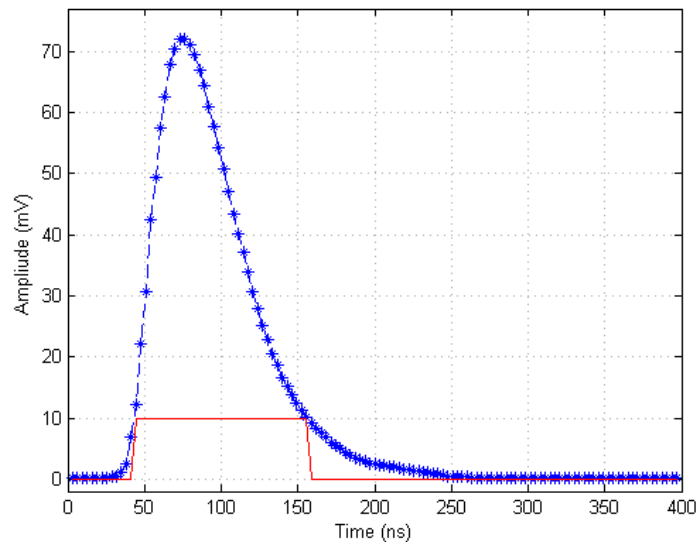


Figura 63 - Aplicação do *threshold* analógico de 10 mV nos sinais dos neutrinos.

A duração do sinal discriminado a partir da simulação foi de 118 ns. Ao inserir este sinal num *testbench* com os módulos *Registers & Counters*, *Window Analysis*, *Time to Energy Converter* e com um clock de 200 MHz, houve um truncamento em virtude da resolução de amostragem, que reconheceu a duração como 23 contagens ou 115 ns (diferença de 3 ns). O valor de energia retornado a partir desta duração na *look up table* é de 1,77 pC, que representa um erro de 10,70 % (0,171 pC), em comparação com o valor de energia a partir do cálculo com o sinal analógico. Numa outra análise, é possível extrair a contribuição que o erro do ponto fixo acrescenta neste valor, que é de 0,18%.

Na Figura 64 são apresentados os resultados de simulação, concebidos a partir do mesmo *testbench*, contendo os erros de aproximação oriundos em virtude da amostragem.

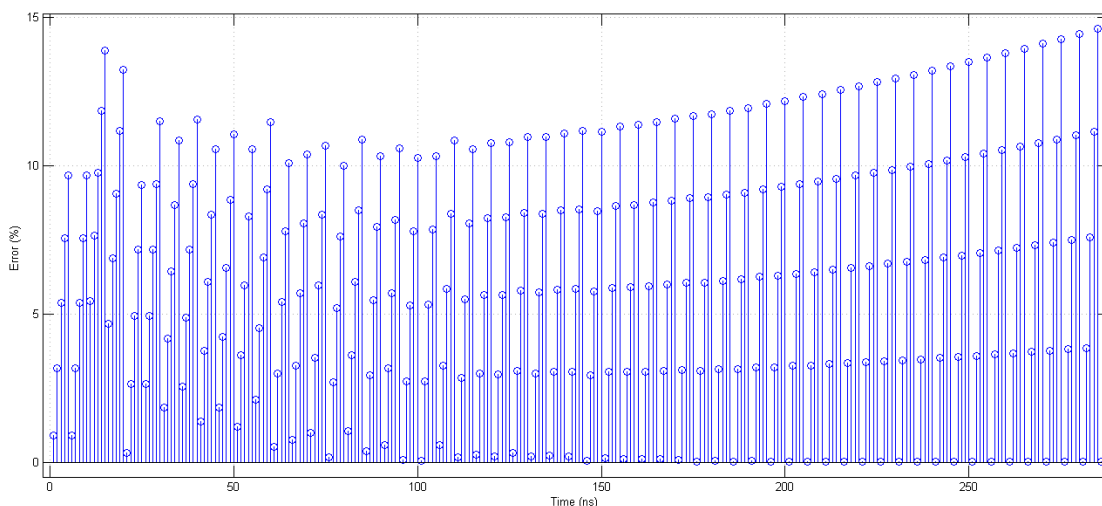


Figura 64 - Erros de truncamento causados pela amostragem na estimação da energia.

Com base nos dados de simulação obtidos no *testbench* é possível gerar o histograma da distribuição do erro causado a partir amostragem, conforme Figura 65.

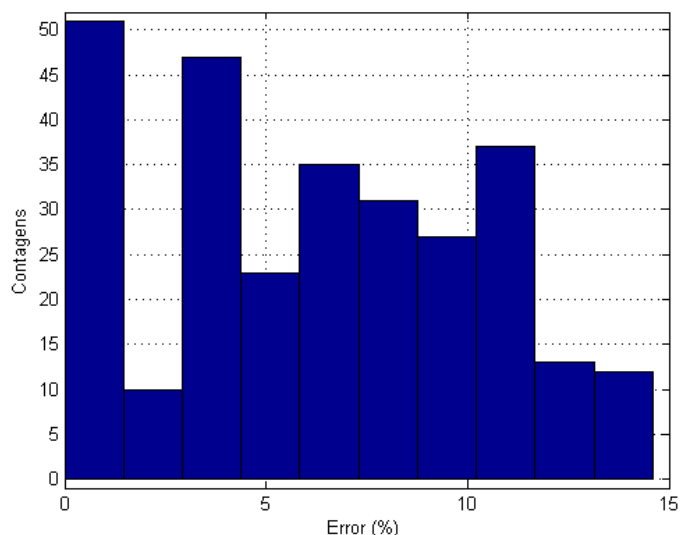


Figura 65 - Histograma do erro causado pela amostragem na estimação da energia.

Nesta análise foi considerado que o referencial ideal tem período de amostragem de 1 ns (1 GHz). Para o sistema desenvolvido foi adotado o período de 5 ns (200 MHz).

Com base nestes dados, verifica-se que, do ponto de vista de dados de simulação, o truncamento (em virtude dos critérios de amostragem) também contribui com a propagação de erros, além dos erros de aproximação do ponto fixo. No histograma da Figura 65 é possível observar que a distribuição de erro está concentrada em volta dos 8%, porém há um pico de incidência de erros próximos aos 12%. Estes resultados contribuem na definição das faixas de tolerância do sistema de *trigger* desenvolvido, que deverão ser consideradas nas análises posteriores do experimento, do ponto de vista da Física.

7.2 Resultados Experimentais

Com os sistemas e equipamentos dispostos no laboratório do CBPF, conforme ilustrado na Figura 53 (Página 59), foi possível realizar testes reais de funcionamento dos sistemas de *trigger* de aquisição desenvolvidos neste projeto. Os testes foram realizados nas seguintes condições:

- Utilizado somente o *Trigger* de multiplicidade. A saída do módulo *Trigger Kernel Decision* foi configurada para multiplicidade (*TK_SEL_PARAM*);
- 32 PMTs do detector central ajustados para adquirir múons; e
- Ganho dos 32 PMTs de 10^7 e *threshold* do discriminador no FEE de 100 mV.

A partir do fluxo básico de *trigger* e aquisição que faz uso dos PMTs alimentados pelo sistema de alta tensão, *front-ends*, FPGA e SBC, foi possível gerar uma rodada de testes com as seguintes características:

- *Threshold* inferior do *trigger* de multiplicidade igual a 32;
- Duração mínima de aceitação do resultado da multiplicidade 10 ns ($CL_PARAM = 2 * 5$ ns do período do clock do sistema);
- Janela de tolerância de mesmo evento ΔT_WINDOW_CD de 100 ns;
- Duração máxima de sinais das PMTs de 300 ns ($MAXW_LEN_CD$);
- 240 segundos de duração da rodada; e
- Número total de eventos *trigger* gerados é igual a 10.976.

Por meio do sistema de aquisição desenvolvido vinculado ao *trigger*, é possível avaliar o comportamento dos sinais dos PMTs com base em suas durações. Na Figura 66 é apresentado o histograma com a distribuição das durações dos sinais de *trigger* para a rodada de testes descrita anteriormente.

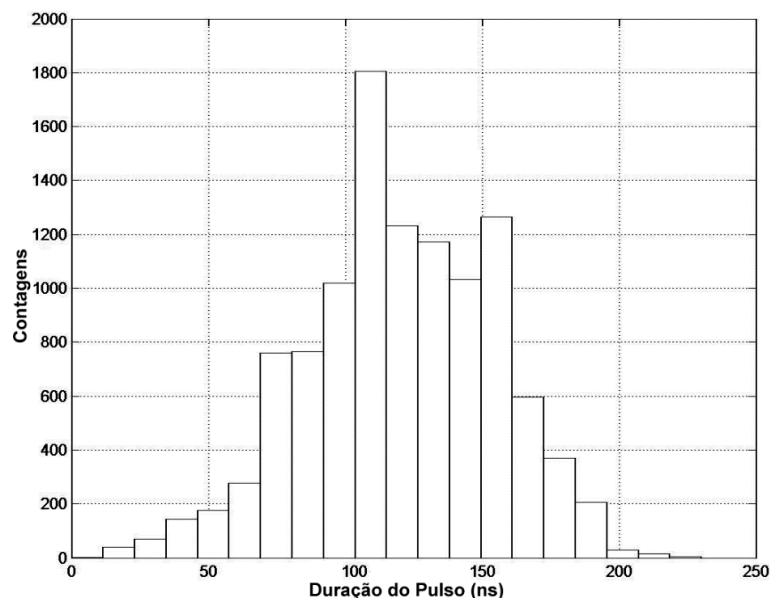


Figura 66 - Histograma da duração dos sinais de 10976 eventos.

A duração média obtida com o sistema de aquisição remoto desenvolvido foi de 115 ns, valor próximo aos resultados obtidos anteriormente de pulsos médios de múons, que tiveram aproximadamente 130 ns [29].

Como apresentado na Seção 6.8, a partir dos dados adquiridos, é possível reconstituir eventos em modo gráfico com base no instante e parâmetros de *trigger*. Na Figura 67 é ilustrado o resultado de um evento de *trigger*, reconstituído no MATLAB. Este evento pertence a um conjunto de 2.612 eventos que ocorreram em uma rodada de coleta de sinais de 60 segundos, considerando um *threshold* de 32 PMTs.

No gráfico da Figura 67, o eixo y representa os índices dos 32 PMTs e o sinal de *trigger* de multiplicidade (no topo), as barras horizontais são as respectivas durações (em

ns) dos sinais dos PMTs e o instante 0 (zero) do eixo x corresponde ao momento de ativação do *trigger*.

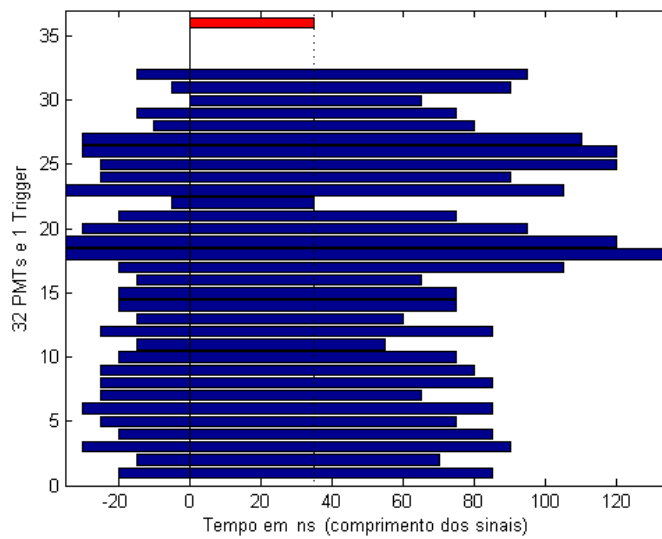


Figura 67 - Um evento de *trigger* com *threshold* igual a 32.

Com o sistema de aquisição de dados associado ao *trigger*, também foi possível estimar as frequências de eventos de múons para diversos valores de *threshold* entre os PMTs, conforme apresentado na Figura 68. Os resultados até 16 PMTs estão em coerência com os dados previamente publicados pelo CBPF [37]. Os resultados para *thresholds* entre 18 a 32 foram obtidos pela primeira vez a partir das contribuições deste trabalho.

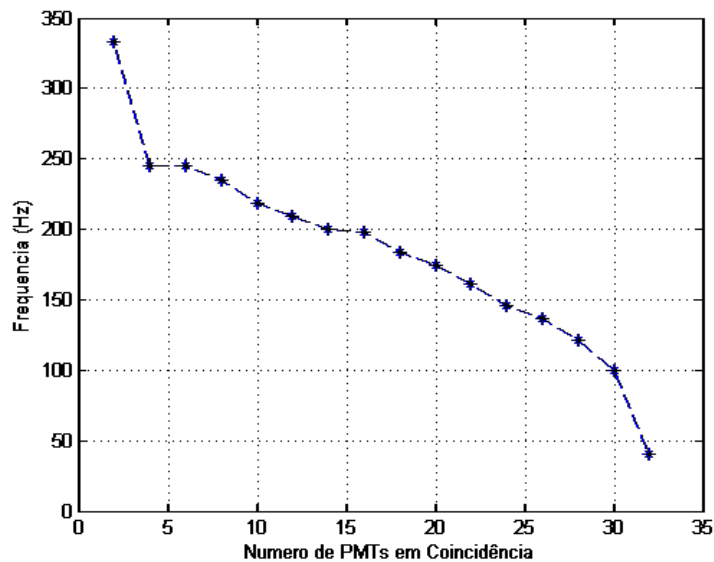


Figura 68 - Frequência de eventos para diferentes *threshold* de PMTs.

De modo similar, na Figura 69 são ilustrados os resultados das PMTs que participaram de um evento de *trigger*, com *threshold* igual a 18. A rodada de testes que gerou o resultado da Figura 66 teve 32.688 eventos e durou 30 segundos.

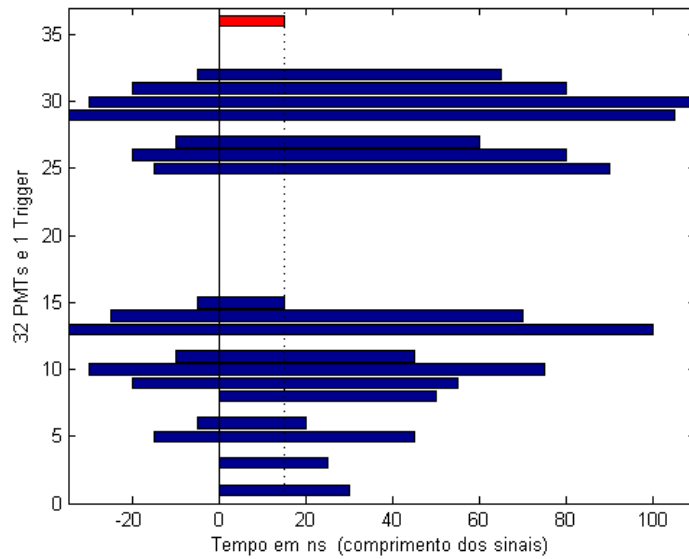


Figura 69 - Evento de trigger com threshold igual a 18.

Na Figura 70 são apresentados exemplos de aquisição para 16 valores distintos de *threshold* por multiplicidade.

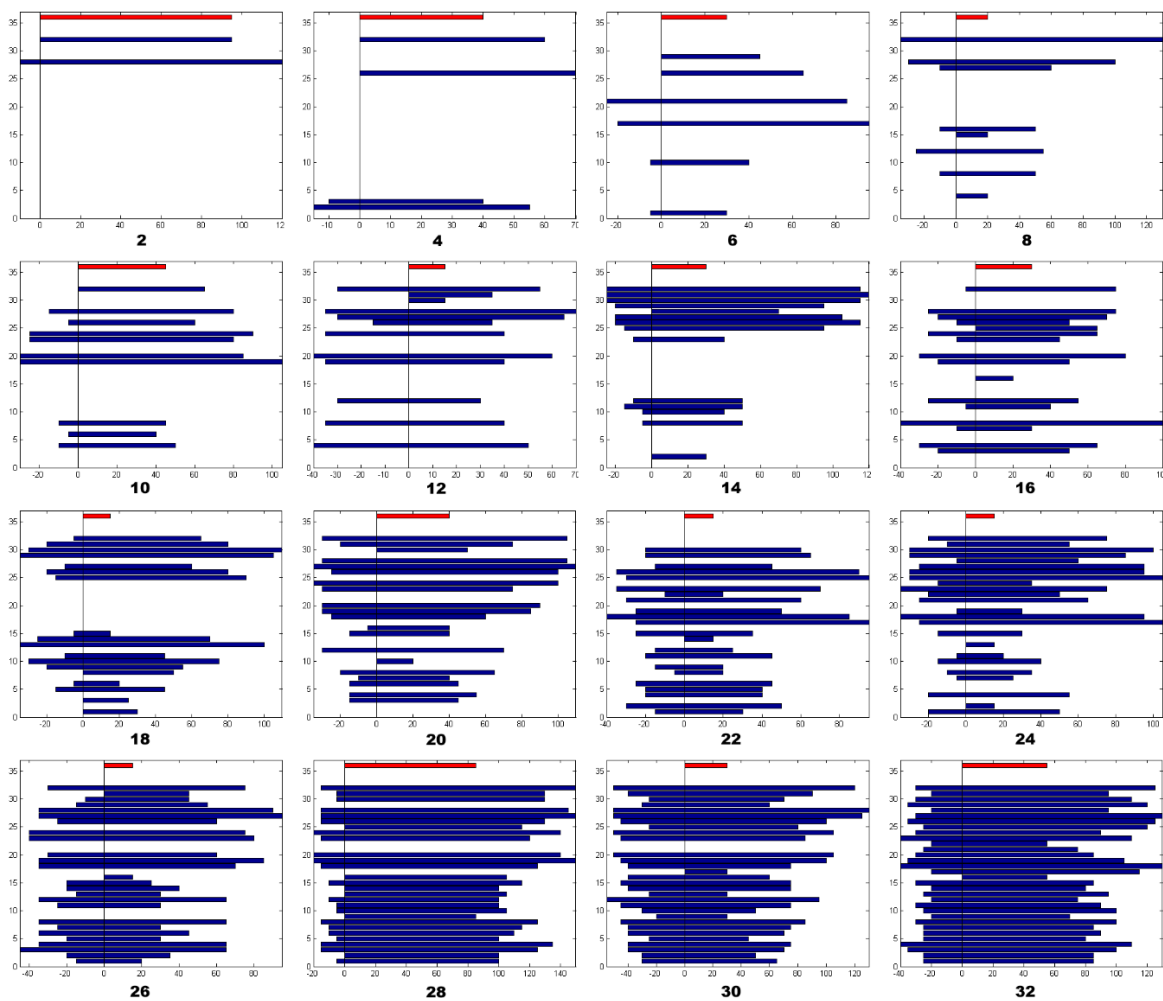


Figura 70 - Resultados de aquisição para diferentes thresholds de multiplicidade.

A partir da observação dos resultados mostrados nas Figura 67, Figura 69 e Figura 70, é possível observar que os sinais dos PMTs iniciam em até 45 ns antes do *trigger*, valor consistente com o limite de 100 ns aplicado no parâmetro $\Delta T_{Window_Trigger}$.

De acordo com a Figura 68 é possível observar que quanto menor o *threshold*, maior a frequência de eventos de *trigger* de multiplicidade para múons. Do ponto de vista de HEP, os resultados das frequências serão importantes para análises das incidências de múons no experimento, principalmente para definição das janelas de bloqueio dos sistemas de veto, que na montagem final do detector serão responsáveis para aquisição de múons.

Aquisições com baixos valores de *thresholds*, como por exemplo abaixo de 4 PMTs, já apresentam eventos com uma alta incidência de sinais com ruídos causados por reflexão ou por sinais de longa duração com alta energia. Ao realizar uma rodada de aquisições com *threshold* igual 1 foram registrados 1.671.137 eventos num intervalo de tempo total de aproximadamente 9,89 segundos, o que representa uma frequência de 168,88 k eventos, valor milhares de vezes maior que a frequência de eventos com *threshold* igual a 2.

Numa análise comparativa dos dados apresentados, ao considerar que a faixa de aceitação de eventos de múons por multiplicidade gira em torno de 12 a 24 PMTs, é possível constatar que a incidência de ruídos é muito maior que a quantidade de eventos de interesse, conforme proposição teórica de HEP apresentada na Seção 6.1 [10].

7.2.1 Aquisições via NDAQ

Com o sinal de *trigger* conectado aos NDAQs, é possível realizar a aquisição analógica dos sinais dos PMTs (após *front-ends*) e compará-los com os dados adquiridos pelo sistema FPGA do projeto. Na Figura 71 é ilustrado o sinal analógico adquirido pelo NDAQ no PMT 0 durante a aquisição do evento da Figura 67.

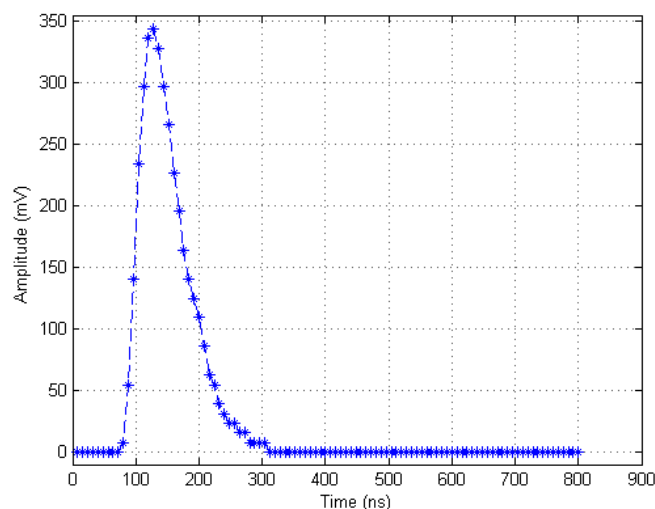


Figura 71 - Sinal do PMT 0 amostrado pelo NDAQ.

Ao traçar um *threshold* analógico de 100 mV no sinal do PMT 0 da Figura 71, é viável mensurar/estimar a duração do sinal discriminado, conforme ilustrado na Figura 72.

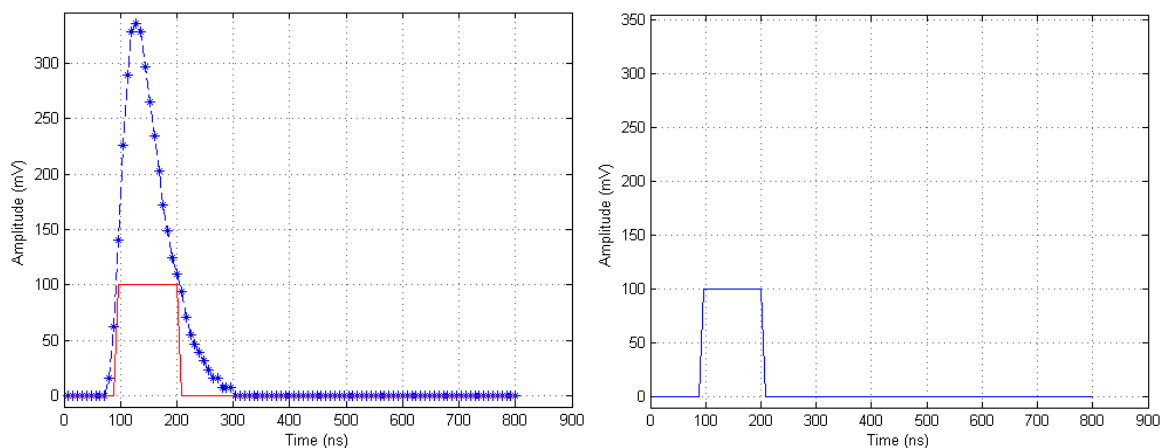


Figura 72 - Amostra do NDAQ discriminada.

A duração estimada a partir do sinal dos NDAQs foi de 112 ns. Em contrapartida, conforme ilustrado na Figura 67, o sistema de aquisição FPGA registrou um valor de 105 ns. Na Tabela 5 são apresentados os dados do evento da Figura 67 e um comparativo entre os valores coletados no NDAQ e os do FPGA, para cada um dos 32 canais.

Tabela 5 - Comparativo entre dados do NDAQ e do sistema de aquisição FPGA.

Nº da PMT	Duração via NDAQ (ns)	Aquisição FPGA (ns)	Diferença (ns)
0	112	105	7
1	88	85	3
2	128	120	8
3	112	105	7
4	104	100	4
5	120	115	5
6	96	90	6
7	120	110	10
8	112	105	7
9	104	95	9
10	80	70	10
11	120	110	10
12	80	75	5
13	104	95	9
14	104	95	9
14	88	80	8
16	128	125	3
17	184	175	9
18	160	155	5
19	136	125	11
20	104	95	9
21	48	40	8
22	144	140	4
23	120	115	5
24	152	145	7
25	160	150	10

Nº da PMT	Duração via NDAQ (ns)	Aquisição FPGA (ns)	Diferença (ns)
26	144	140	4
27	96	90	6
28	96	90	6
29	72	65	7
30	104	95	9
31	120	110	10

No geral, estes resultados de aquisição são julgados como satisfatórios uma vez que o processo de discriminação realizado no sinal analógico do NDAQ não leva em consideração os ruídos reais da eletrônica de *front-end*, a propagação/truncamento de sinais e as latências do processo de aquisição. As diferenças máximas alcançadas giram entre 10 ns e 11 ns. Estas discrepâncias, conseqüentemente, deverão ser consideradas na determinação das margens de tolerância dos parâmetros, principalmente nos *thresholds* de energia, que dependem da duração do sinal discriminado.

7.3 Configuração do Experimento

Como introduzido nos diagramas da Figura 32 e Figura 52 os parâmetros de configuração do sistema de *trigger*, listados na Tabela 4, podem ser configurados através de páginas web. A Figura 73 apresenta a página web de configuração de parâmetros.

PARAMETER PAGE

UP_COINC_THRESHOLD	<input type="text" value="29"/>	PMT
DOWN_COINC_THRESHOLD	<input type="text" value="16"/>	PMT
CL_PARAM	<input type="text" value="2"/>	C.Period
UP_ENERGY_THRESHOLD	<input type="text" value="125"/>	pC
DOWN_ENERGY_THRESHOLD	<input type="text" value="50"/>	pC
EN_PARAM	<input type="text" value="2"/>	C.Period
TK_DEC_PARAM	<input type="text" value="10"/>	C.Period
MAXW_LEN_CD	<input type="text" value="58"/>	C.Period
ΔT_WINDOW_CD	<input type="text" value="20"/>	C.Period
TK_SEL_PARAM	<input type="text" value="0"/>	TK OP: 0-AND 1-MT 2-EN
DW_VT_THRS	<input type="text" value="6"/>	PMT
DW_SH_THRS	<input type="text" value="3"/>	PMT
ΔT_WINDOW_VT	<input type="text" value="10"/>	C.Period
ΔT_WINDOW_VH	<input type="text" value="10"/>	C.Period
VS_PARAM	<input type="text" value="160"/>	C.Period
VS_OLEN_PARAM	<input type="text" value="10"/>	C.Period
VS_SEL_PARAM	<input type="text" value="0"/>	Veto Op: 0-AND 1-VT 2-SH
DWN_SCL_WINDOW	<input type="text" value="40000"/>	C.Period
RUN_TRIG_TIME	<input type="text" value="300"/>	Seconds
EN_CONV_COEF[256]	\root\trigger\energy_lotable.dat	
C.Period = Clock Period	5 ns	

Figura 73 - Tela de configuração de parâmetros via SBC.

Tais páginas invocam serviços e *scripts* na SBC responsáveis pelo acesso a arquivos e comunicação de dados. No contexto geral, há duas páginas principais: (1) configuração de parâmetros; e (2) execução de rodadas de *trigger*.

No momento em que a página de configuração é acessada, os parâmetros atuais do sistema de *trigger* são carregados do arquivo de parâmetros (*conf_allparam.dat*) e disponibilizados na página web para eventuais alterações, conforme ilustrado na Figura 73. O acesso à página é feito via endereço de IP fixo da SBC, mapeado na rede privada do experimento. Os parâmetros da *look up table* que convertem de duração para energia são gravados em um outro arquivo (*energy_lotable.dat*) através do fluxo ilustrado na Figura 42.

A página de execução de rodadas de *trigger* é composta somente da exibição dos parâmetros correntes do sistema e do botão que invoca as rotinas de transferência dos parâmetros para o FPGA, bem como inicia o processo de aquisição vinculado ao *trigger*, como ilustrado na tela à esquerda da Figura 74.

Após a execução do processo de aquisição, de acordo com o tempo parametrizado em segundos, é exibida a tela de finalização que informa os endereços dos arquivos resultantes de aquisição e log, conforme ilustrado na tela à direita da Figura 74.

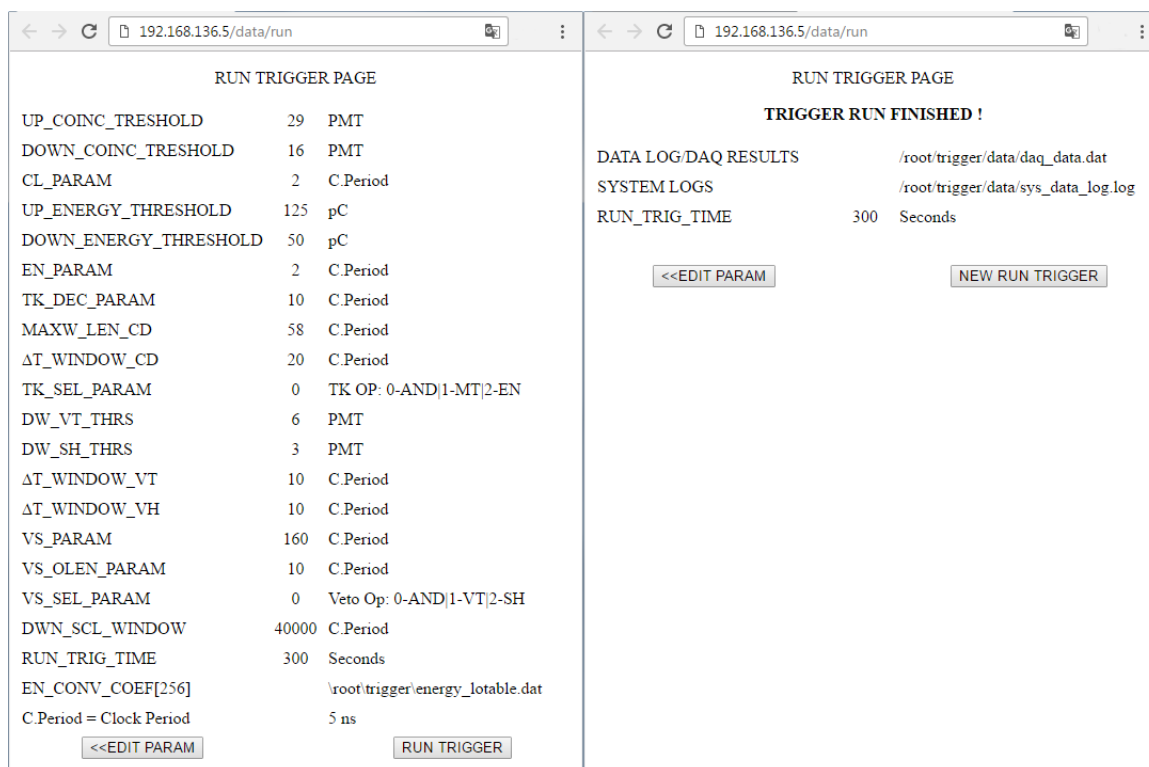


Figura 74 - Tela para execução das rodadas de *trigger*.

Os *scripts* e serviços da SBC também podem ser executados e/ou acessados a partir de terminais remotos conectados à rede privada do experimento. Está em desenvolvimento na colaboração Neutrinos Angra o sistema supervisorio de gestão, parametrização e

controle de todos os elementos do detector. Este se integrará aos *scripts* e serviços deste projeto, bem como coletarão os dados de log e aquisição das rodadas de execução.

7.3.1 Configuração Manual de *Trigger* Auxiliar

Os parâmetros do *trigger* manual auxiliar apresentado na Seção 6.6 (Página 49) são configurados a partir dos botões e *switches* do kit FPGA Altera DE-2 [35], também são utilizados *displays* de sete segmentos para indicar os valores dos parâmetros.

Na Figura 75 são apresentados os componentes do kit FPGA utilizados na configuração manual.

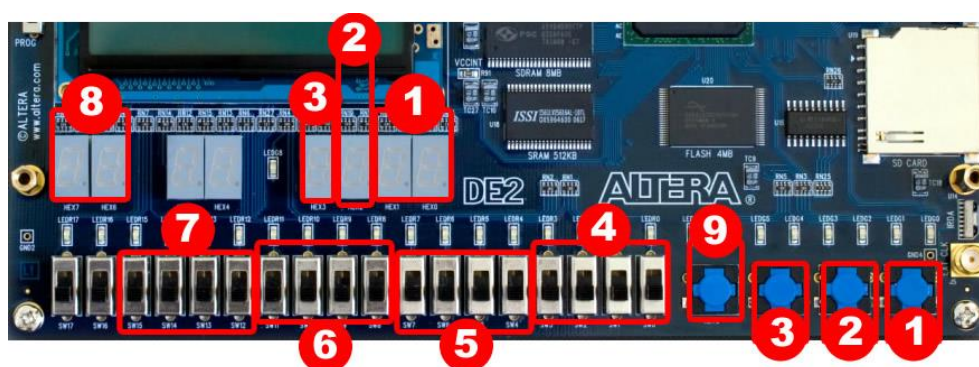


Figura 75 - Fotografia dos componentes do FPGA utilizados na configuração manual.

Os itens enumerados na Figura 75 correspondem respectivamente a:

1. Botão e *Displays* de 7 segmentos para configuração e exibição do *threshold* do detector central. O botão incrementa uma sequência circular de 0 a 32 PMTs, ou seja, ao atingir 32 o valor retorna para 0;
2. Botão e *Display* dos vetos superior/inferior, com valores de 0 a 8 PMTs;
3. Botão e *Display* do *shield*, com valores de 0 a 4 PMTs;
4. *Switches* para determinar o valor máximo de sinal do detector central. O valor em binário dos *switches* é multiplicado por 4 vezes o período do *clock* do sistema, ou seja, é possível obter uma faixa de 0 a 300 ns ($15 \times 4 \times 5$ ns);
5. *Switches* para configurar janela de mesmo evento do detector central. Neste, o fator de multiplicação é 2 vezes o período do *clock* do sistema, logo é possível variar de 0 a 150 ns ($15 \times 2 \times 5$ ns);
6. *Switches* para janela de mesmo evento dos vetos superior/inferior, com fator de multiplicação de 2 vezes o período, logo, tem faixa de 0 a 150 ns;
7. *Switches* para janela de mesmo evento do *shield*, com fator de multiplicação de 2 vezes o período, logo, tem faixa de 0 a 150 ns;

8. *Displays* de 7 segmentos para *debug* que informam quantos PMTs estão ativas simultaneamente, este valor varia de 0 a 44 PMTs;
9. *Reset* geral do sistema manual.

Os LEDs e demais *displays* de 7 segmentos são utilizados para indicar o funcionamento da comunicação com SBC, descritos na Seção 6.9 (Página 56).

7.4 Resultados dos Circuitos Digitais

Nesta seção são apresentadas as principais técnicas/metodologias de circuitos digitais utilizados no projeto FPGA. No projeto foram utilizados dois domínios de *clock*: um de 50 MHz nativo do FPGA e outro de 200 MHz, gerado a partir de *Megafunction/IP* que ativa a PLL interna do FPGA Altera DE-2.

O *clock* de 200 MHz é montado com base na multiplicação de 4/1 do *clock* de nativo do FPGA de 50 MHz. Os circuitos que estão no domínio de *clock* de 50 MHz pertencem a comunicação SPI e memórias FIFO, como ilustrado na Figura 76.

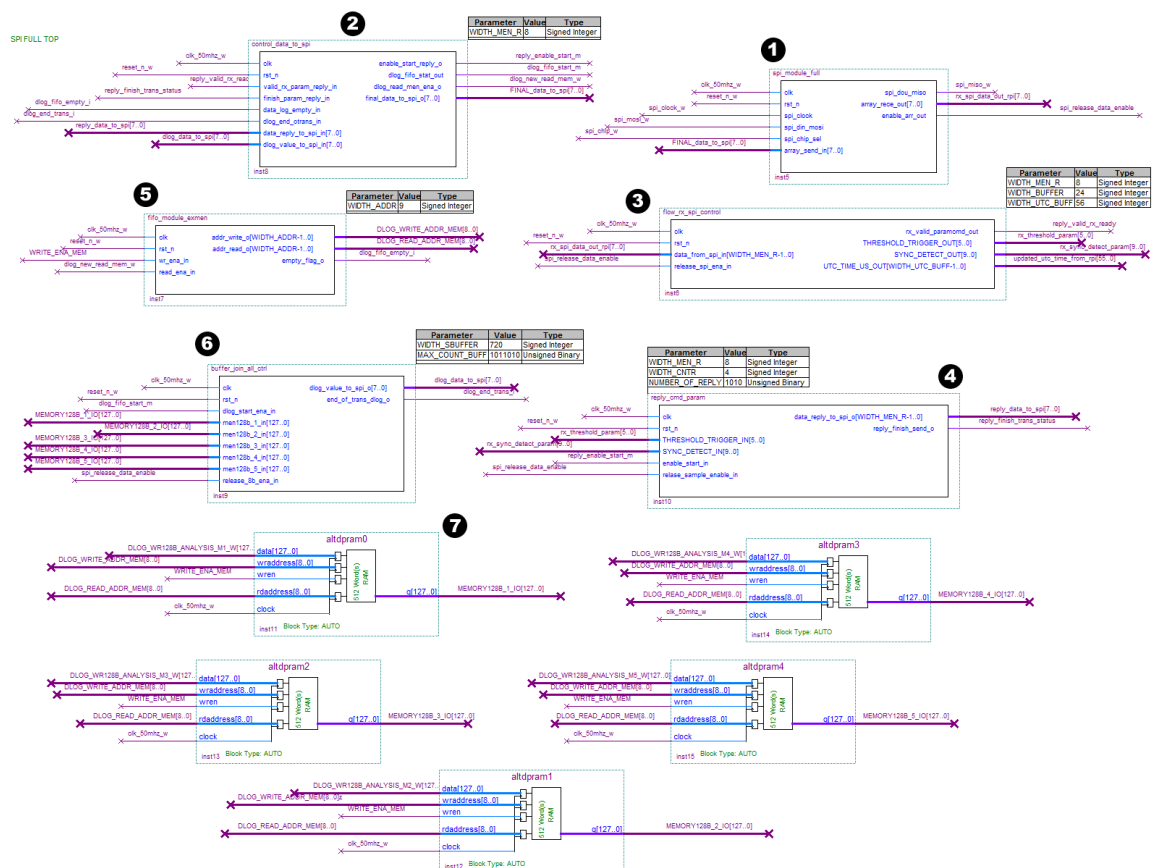


Figura 76 - Módulos SPI com clock 50 MHz.

Os módulos desenvolvidos para a comunicação SPI e FIFO enumerados na Figura 76 correspondem respectivamente a:

1. *SPI Module*, que é o *driver* básico para comunicação SPI [39];
2. *Controll Data SPI*, módulo responsável por controlar o envio e recebimento dos bytes de dados da comunicação SBC e FPGA;
3. *Flow RX SPI Control*, módulo que distribui os parâmetros oriundos da SBC;
4. *Reply CMD Param*, responsável por realizar a validação do recebimento dos parâmetros oriundos da SBC e por enviar um sinal de transferência válida;
5. *FIFO Module*, controla o fluxo de dados e sinais de escrita e leitura da FIFO;
6. *Buffer Join Control*, monta os pacotes de saída a partir das memórias FIFO;
7. *FIFO Memories*, conjunto de 5 memórias de armazenamento temporário.

As memórias FIFO usam as *Macrofunctions/IP* tipo *AltdpRam* e são responsáveis por armazenar temporariamente os dados adquiridos pelo sistema de aquisição até que sejam transferidos para a SBC. Tal estratégia é necessária em função das limitações da taxa de transferência da interface SPI *master* da SBC que é de 31,2 MHz, da quantidade de bits geradas na aquisição de um evento e na frequência média de eventos de *trigger* por segundo (Figura 68, Página 70). No total, um evento de aquisição tem 856 bits oriundos dos seguintes parâmetros da Tabela 4 (Página 57) e conforme a seguinte distribuição:

- *EVNT_TRG_NUMB*: 32 bits;
- *EVNT_TG_VET_NUMB*: 32 bits;
- *TIMSTMP_EVT_ID*: 56 bits;
- *C.BEFORE[44]*: 44 * 8 bits;
- *C.AFTER[44]*: 44 * 8 bits;
- *C.MLT_TRIG*: 8 bits;
- *C.REF_ENE_TRIG*: 8 bits; e
- *C.ENE_TRIG*: 8 bits.

Para evitar instabilidades entre os dados do FPGA e SBC, os sinais foram sincronizados a partir da técnica de *edge detection* [40], que uniformiza os sinais pelo clock mais rápido do FPGA. O circuito base gerado pela síntese é ilustrado na Figura 77.

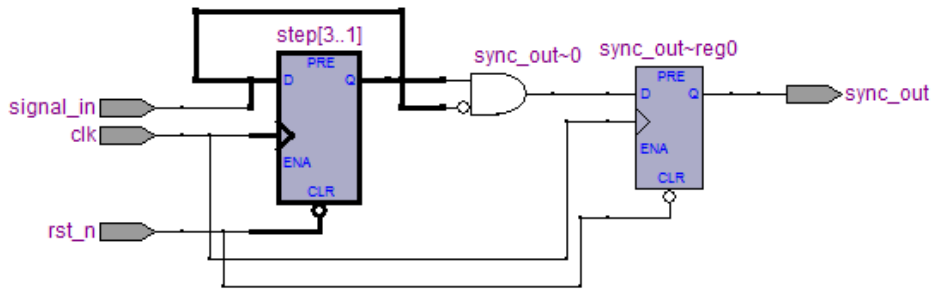


Figura 77 - Circuito de *edge detection*.

Na ilustração da Figura 77, o sinal de entrada passa por três 3 instâncias aninhadas de *flip-flops* (a saída de um é a entrada do próximo). O primeiro *flip-flop* registra o sinal e passa para os dois seguintes. A saída do terceiro *flip-flop* e saída invertida do segundo são os sinais de entrada de uma porta *AND*, que tem seu sinal de saída registrado por um 4 *flip-flop*, que gera o sinal sincronizado. A lógica aninhada dos *flip-flops* mais a lógica com a porta *AND* geram um sinal de comprimento do sinal do clock mais rápido, conforme diagrama de onda da Figura 78.

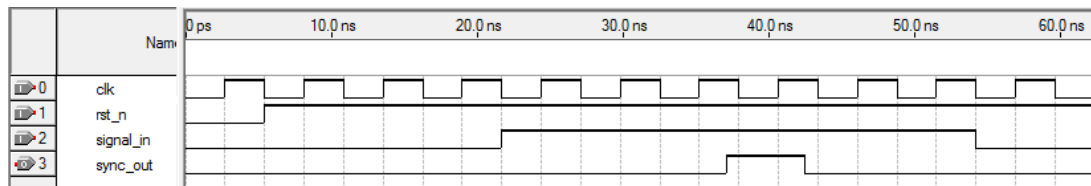


Figura 78 - Diagrama de onda dos sinais do *edge detection*.

Os sistemas de aquisição, que estão no domínio de *clock* de 200 MHz, para gravar na memória FIFO, que está no *clock* de 50 MHz, precisam prolongar [40] os sinais por 4 vezes, para que não haja perda de dados devido à falta de sinais estáveis o suficiente para que as memórias armazenem dentro das condições de *setup* e *hold*. O resultado da síntese do circuito do sinal do *clock* mais rápido para o mais lento é apresentado na Figura 79.

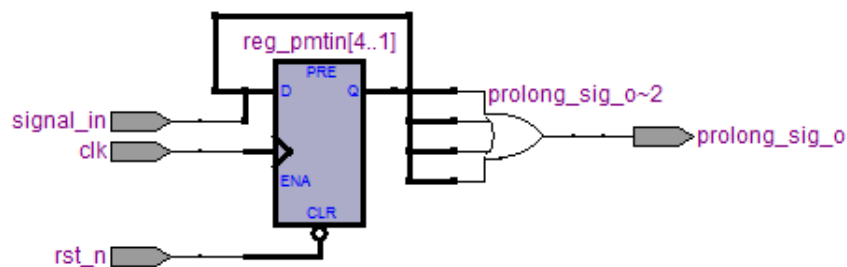


Figura 79 - Circuito de prolongamento de sinal.

No circuito da Figura 79, há 4 *flip-flops* aninhados em sequência (saída de um sendo a entrada do próximo) e uma *OR* de 4 entradas que recebe os sinais de saída de cada um destes *flip-flops* gerando o sinal de saída prolongado (4 vezes o sinal de entrada de acordo

com o período do sinal de clock de entrada). O diagrama de onda dos sinais deste circuito é apresentado na Figura 80.

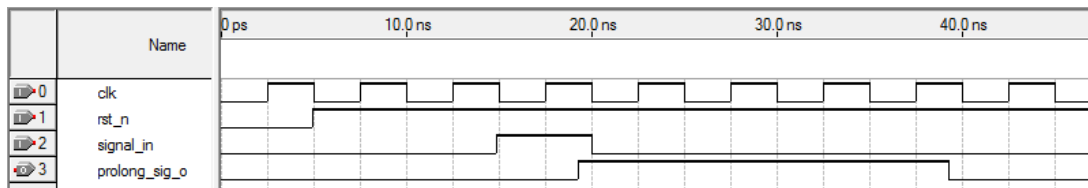


Figura 80 - Diagrama de onda dos sinais do circuito de prolongamento de sinal.

Como apresentado na Seção 6.1, para evitar uma maior latência das somas dos sinais ativos e das energias dos canais dos PMTs, os valores foram combinados e somados aos pares. O resultado gerado a partir do *RTL Viewer* do somador de energia, gerado após a síntese, é ilustrado na Figura 81.

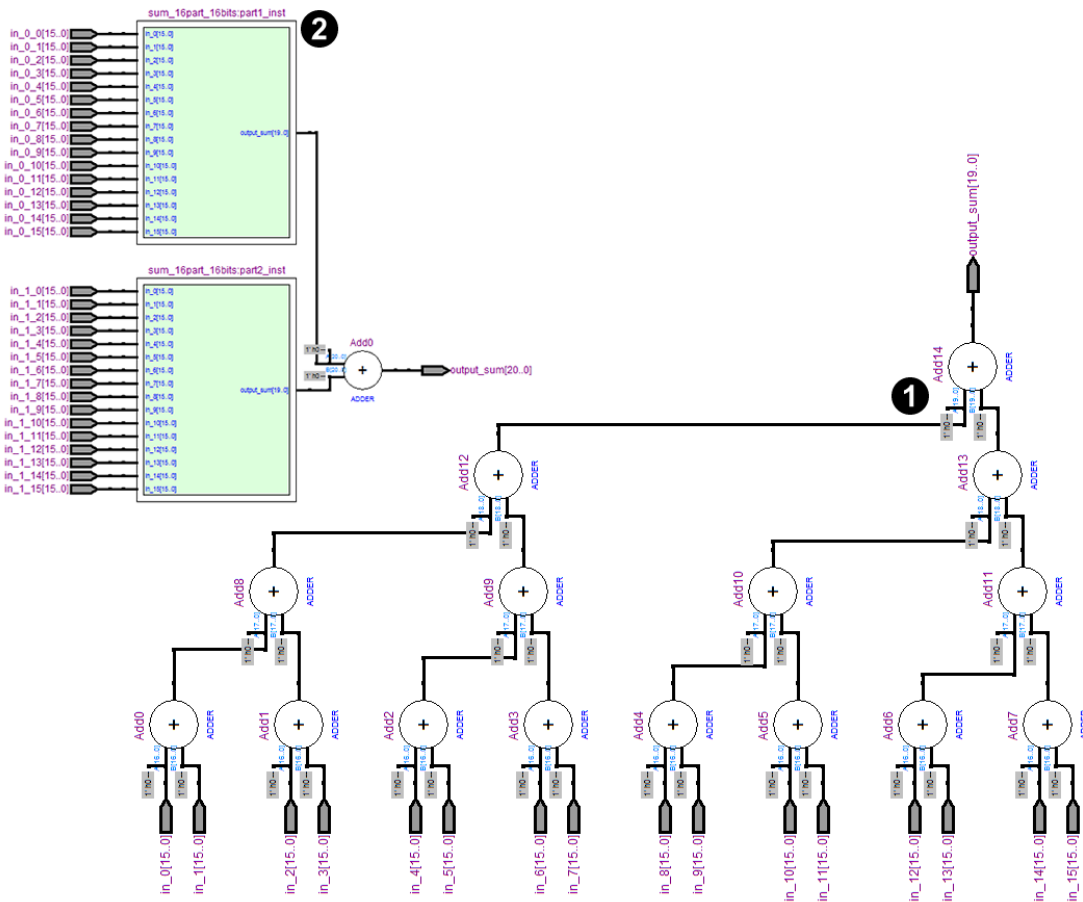


Figura 81 - RTL View do somador de energia.

O Item 1 da Figura 81 corresponde ao *RTL Viewer* do módulo de soma de 16 canais de energia e o Item 2 ao módulo que une os dois módulos de 16 canais a um somador final. No total, as somas de energia e multiplicidade percorrem 5 estágios de soma, ao invés de 16 estágios (no pior caso, onde não é utilizada a soma aos pares).

Em resumo, o circuito digital dos sistemas de *trigger* e aquisição de dados no kit FPGA Altera DE-2 foi projetado utilizando a linguagem de descrição de *hardware* Verilog e, de forma resumida, teve os seguintes resultados: 5.350 (16% do kit FPGA) elementos lógicos; 4.664 (14%) funções combinacionais; 3.624 (11%) registradores; 104 (22%) pinos de I/O; 327.680 (68%) bits de memória dedicada; e 1 (25%) PLL.

A partir da ferramenta *Power Analysis Tool* [41], disponível no *software* Altera Quartus II, foi possível estimar o consumo total do circuito digital desenvolvido, que ficou em torno de 436,41 mW, onde 276,85 mW corresponde ao core dinâmico, 81,03 mW ao core estático e 78,53 mW aos I/Os. Para esta estimação, foram utilizados arquivos de simulação *Value Change Dump* (VCD) [42] e uma taxa de chaveamento (*toggle*) padrão de 50%.

7.4.1 Análise de Tempo e Latências

De modo a compor o tempo de resposta total dos sistemas de *trigger*, foram realizadas rodadas de análises de tempo para verificar as latências e caminhos críticos dos módulos. A partir de dados de simulação e utilizando o *software* Altera Quartus II [43], foi possível estimar as latências e principais caminhos críticos. Na Figura 82 são ilustrados os módulos do caminho de dados do *trigger* de energia.

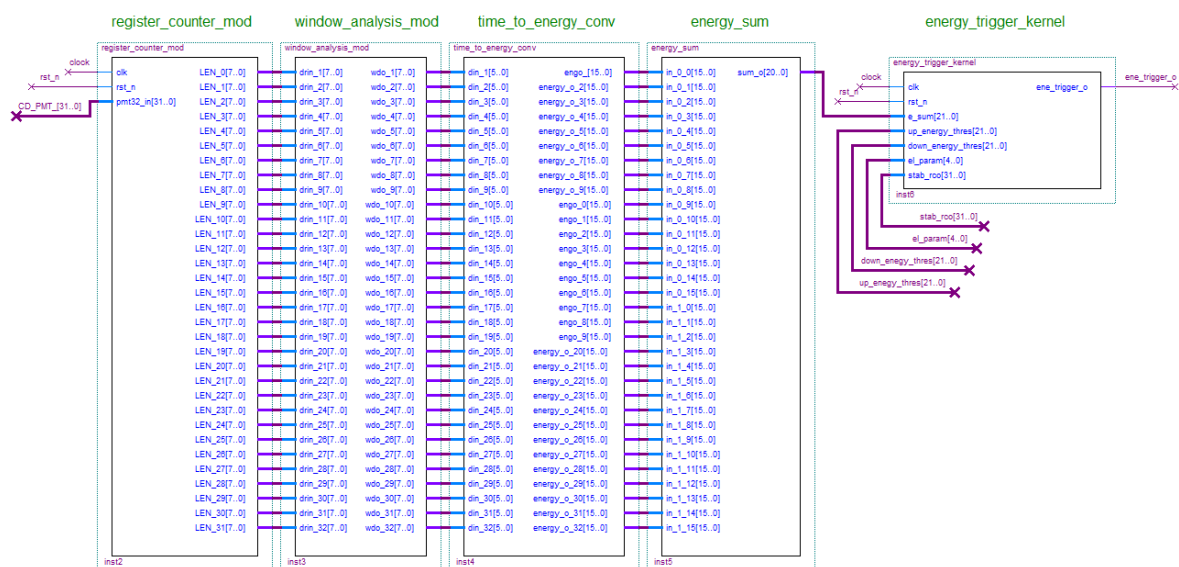


Figura 82 - Circuito do *trigger* por energia no Altera Quartus II.

Na Figura 82, da esquerda para a direita, os módulos do caminho de dados têm respectivamente as seguintes latências: *Register & Counters* (5 ns); *Window Analysis* (5 ns); *Time to Energy Converter* (5 ns); *Sum Energy* (20 ns); *Energy Trigger Kernel* (10 ns, no mínimo, em virtude das máquinas de estado).

Por outro lado, o caminho crítico do *trigger* por multiplicidade tem as respectivas latências: *Register & Counters* (5 ns); *Window Analysis* (5 ns); *Sum Energy* (15 ns); *Energy Trigger Kernel* (10 ns, mínimo).

Ainda nesta análise, para determinar o sinal de *trigger* final ainda há o módulo *Trigger Kernel Decision*, como ilustrado na Figura 35, que acrescentam 5 ns de latência no caminho de dados. Por último, ainda há um *output load*, conforme manual disponível em [35], nos pinos de saída do kit FPGA, que acrescenta 10 ns no sinal de saída final de *trigger*.

Com base nestes dados é possível concluir que, do ponto de vista da simulação, individualmente os *triggers* de energia e multiplicidade tem latências de 60 ns e 50 ns, respectivamente.

Numa análise comparativa, ao mudar a estratégia do módulo *Sum Energy* de soma aos pares (com 5 níveis) para soma em cascata (com 16 níveis), as latências passam para 30 ns e 45 ns nos circuitos de multiplicidade e energia, respectivamente.

Como apresentado na Seção 6.7, os sistemas de *trigger* de multiplicidade e energia ocorrem em intervalos diferentes durante um evento, com a resposta de multiplicidade iniciando antes da de energia. Nesta linha, para avaliar a latência geral dos sistemas de *trigger*, foi montado um *testbench* experimental que gera sinais reais conhecidos para o FPGA e avalia o tempo de resposta com base na saída final de *trigger* e no sinal de início de evento, conforme ilustrado na Figura 83.

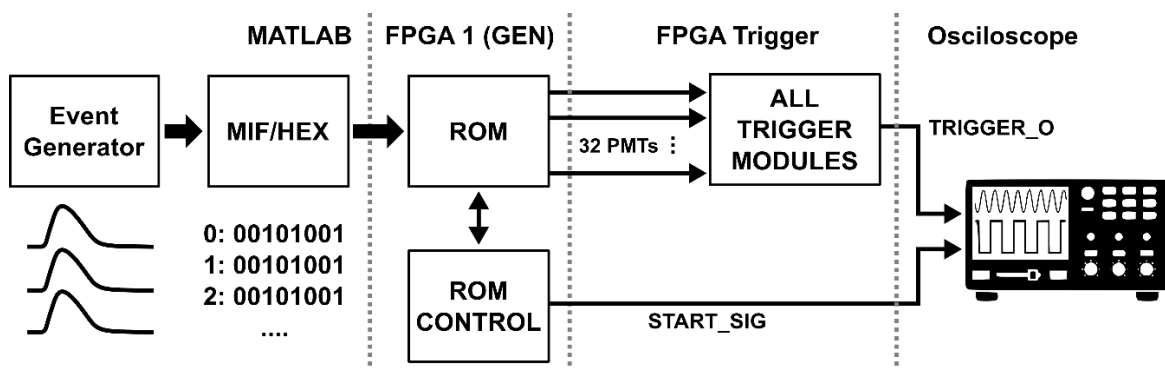


Figura 83 - Teste experimental de tempos de resposta.

No geral, o *testbench* montado primeiro inicia no MATLAB, onde os sinais de simulação de neutrinos são discriminados e salvos em um arquivo de inicialização de memória (*Memory Initialization File* - MIF). Tal arquivo é gravado na memória do *FPGA 1 (GEN)* e a partir do módulo de controle é realizada a geração dos eventos com 32 sinais de PMTs. O módulo de controle do *FPGA 1* gera um sinal de início do evento, que corresponde ao momento em que o primeiro sinal de um dos 32 PMTs é ativado. Ao final, a partir de um osciloscópio, é avaliada a diferença entre o sinal de início e o sinal de *trigger* resultante.

A partir do *testbench* montado no laboratório foi possível gerar o histograma de tempos de resposta, desde o início do evento até o instante de *trigger*, conforme apresentado na Figura 84. Estes resultados foram obtidos a partir de 30 eventos gerados no MATLAB e adquiridos pelo *testbench*.

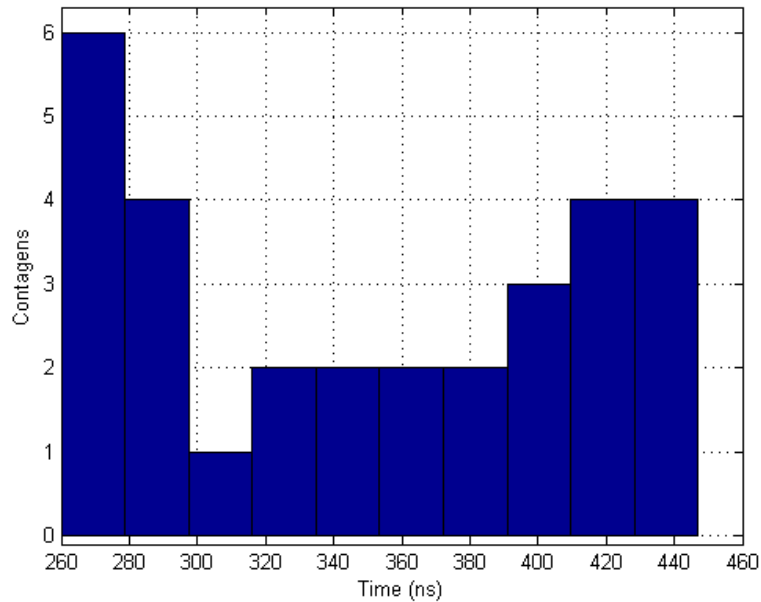


Figura 84 - Histograma de tempos de resposta de *trigger* via *testbench*.

Outra análise realizada a partir do *testbench* foi a comparação entre o tempo estimado pela simulação, a partir dos dados do MATLAB, e o tempo real adquirido no sistema proposto. Os resultados para os respectivos 30 eventos são apresentados no gráfico da Figura 85.

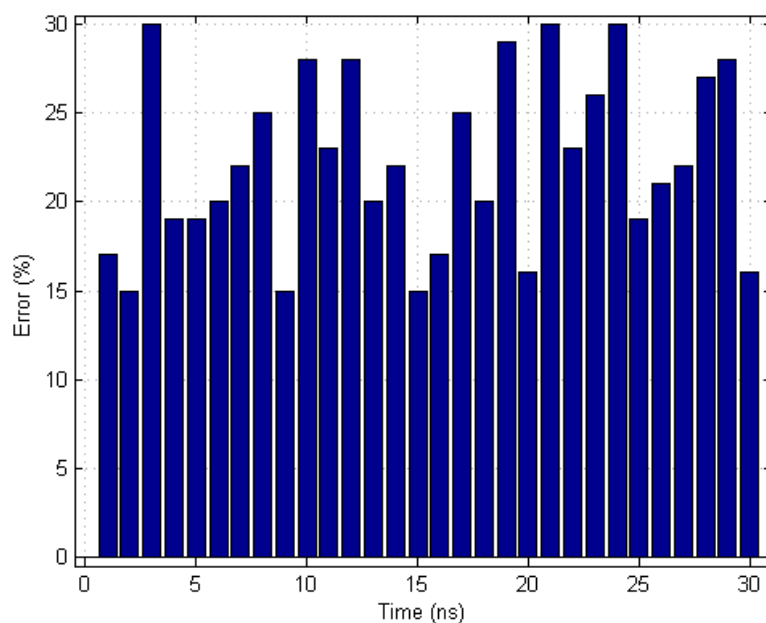


Figura 85 - Comparativo da diferença entre o tempo de simulação e o adquirido.

A quantidade de 30 eventos desta análise está relacionada às limitações da memória ROM (*Read Only Memory*) do FPGA 1 (Figura 83) que armazena os dados de simulação gerados pelo MATLAB do *testbench*.

Com base nestes resultados, é possível observar que o sistema de *trigger* desenvolvido demora, a partir de um primeiro sinal ativo dos PMTs, em média 300 ns para responder. Nos testes realizados, o máximo tempo de resposta foi de 410 ns.

Este fato condiciona que os módulos de NDAQ devem adquirir uma janela antes do sinal de *trigger* maior que 300 ns, para que não ocorra uma sub aquisição dos sinais. Desse modo, este trabalho propõe que os NDAQs futuramente sejam configurados para adquirir uma janela de 500 ns antes do *trigger* e 300 ns após, totalizando 800 ns.

8 Conclusões

Do ponto de vista da Física de Altas Energias, o estudo dos neutrinos tem importante relevância na observação de fenômenos científicos diversos, tais como sol, atmosfera, reações nucleares, aceleração de partículas e supernovas. Como apresentado neste trabalho, para a realização destes experimentos são necessários os detectores, formados por aparatos físicos, químicos, mecânicos, eletrônicos e computacionais, responsáveis por entre outros, adquirir, condicionar, filtrar, selecionar e armazenar os dados dos neutrinos.

Ao redor do mundo, existem diversos detectores de neutrinos, dentre eles o experimento Neutrinos Angra, localizado nas proximidades da usina nuclear de Angra II, no Rio de Janeiro. Como previamente apresentado, a contribuição principal deste trabalho gira em torno do projeto do sistema de seleção *online* de eventos ou *trigger* de primeiro nível do detector Neutrinos Angra. Para tal foram desenvolvidos sistemas digitais em *hardware* de lógica reconfigurável baseados em FPGA.

Nos Capítulos 2 e 3 foram apresentados os subsídios necessários para montagem do projeto do *trigger* de primeiro nível deste trabalho, bem como para contextualização das melhores práticas de detecção e seleção de eventos utilizadas ao redor do mundo. No Capítulo 4 foram descritos os detalhes do detector Neutrinos Angra, seus principais módulos, relacionamentos e funcionalidades. O entendimento das restrições físicas e eletrônicas do detector contribuíram para composição dos requisitos, arquitetura e projeto da eletrônica digital descritas no Capítulo 6.

Com base nos detalhes apresentados no Capítulo 6 foi possível observar a relevância do sistema de *trigger* de primeiro nível, com uso de critérios de multiplicidade e energia para a integração do experimento Neutrinos Angra.

Com os dados coletados e apresentados é possível concluir que o universo de dados de eventos de interesse é relativamente pequeno, em comparação com a incidência geral de eventos que passam por um detector de neutrinos (que contém ruídos, interferências e eventos irrelevantes).

No geral, o projeto possibilitou a integração dos sistemas de *front-end* e NDAQ previamente desenvolvidos para o detector, bem como viabilizou a parametrização remota dos dados através do uso auxiliar da plataforma SBC conectada ao FPGA.

Com o sistema desenvolvido, foi viável testar o experimento contemplando pela primeira vez os 32 canais de PMTs do detector central, e avaliar o comportamento das frequências dos eventos para diferentes valores de *threshold*, como apresentado no Capítulo 7. Em resumo, os resultados das durações dos eventos obtidos com o sistema de aquisição remota associado ao *trigger* foram condizentes com os previamente realizados

com múons e com a resolução adotada no FPGA. A partir do experimento deste trabalho montado no laboratório do CBPF foi possível realizar pela primeira vez aquisições das frequências de eventos de múons para *thresholds* inferiores de multiplicidade maiores que 16 PMTs ativos simultaneamente, tal feito é uma das principais contribuições deste trabalho.

De modo a obter uma melhor adequação do sistema de *trigger* para sinais de antineutrinos, quando o experimento for transferido para o container em Angra II, ainda faz-se necessário aperfeiçoar os parâmetros de configuração, através de simulações e calibrações. Tais procedimentos e estudos estão sendo realizados pela colaboração Neutrinos Angra para montagem final do experimento em 2017.

Os sistemas de *triggers* auxiliares, apresentados nas Seções 6.6 e 7.3.1 serão de fundamental importância para calibração dos sistemas a partir da aquisição de dados reais de neutrinos, quando o detector for movido para Angra II.

Como principais trabalhos futuros, é possível destacar a integração com o sistema supervisor desenvolvido para controlar todos os elementos eletrônicos do experimento. Por outro lado, após as calibrações e montagem de todo o experimento, será necessário realizar ajustes nas janelas de aquisição dos NDAQs, em virtude dos sinais de *trigger* por energia só ocorrerem ao final do evento, como apresentado na Seção 7.4.1.

A partir de novas rodadas de aquisição e análises do ponto de vista físico será necessário definir e ajustar os parâmetros de *trigger* apresentados na Tabela 4. Neste processo deverão ser consideradas na montagem dos parâmetros as análises de erro das aproximações do ponto fixo para energia, os erros causados pelas diferenças de amostragem, bem como os erros acumulados apresentados nos resultados gerados no Capítulo 7.

Numa outra vertente, também há espaço para explorar os *triggers* de mais alto nível, por exemplo nível 2, desenvolvendo algoritmos de reconhecimento de padrões e inteligência artificial para seleção de neutrinos, relacionando-os com o cruzamento de informações da composição dos materiais nucleares utilizados e com a potência térmica instantânea dissipada no reator da usina de Angra II.

Referências

- [1] C. SUTTON, "Spaceship Neutrino," *Cambridge University Press*, 1992.
- [2] O. L. G. PERES, "Neutrino physics: the roadmap for precision physics," *Brazilian Journal of Physics*, n. 4A, p. 1178-1183, Dezembro 2006.
- [3] J. Anjos, "Using Neutrinos to Monitor Nuclear Reactors: The Angra Neutrino Experiment," *Nuclear and Particle Physics Proceedings*, v. 267-269, p. 108-115, 2015.
- [4] F. Beissel, "The trigger and timing system of the Double Chooz experiment," *J. Instrum.*, T01003. *Sissa Medialab*, 2014.
- [5] S. Enomoto, E. Ohtani, K. Inoue e A. Suzuki, "Neutrino geophysics with KamLAND and future prospects," *arxiv: 0508-0508049*, 2012.
- [6] Y. F. WANG, "The palo verde neutrino oscillation experiment," *International Europhysics Conference on High Energy Physics*. p. 840-841. , 1999.
- [7] H. e. a. GEMMEKE, "Front end electronics and trigger system for the karmen neutrino experiment," *Nuclear Science Transactions on IEEE* v. 36, n. 1, p. 718-722, 1989.
- [8] X. Ji, "Research and design of DAQ system for Daya Bay reactor neutrino experiment," *IEEE. Nuclear Science Symposium Conference Record*, pp. 2119-2121, 2008.
- [9] H. Nishino, "Development of new front-end electronics for Super-kamiokande," *Real-Time Conference, 15th.*, pp. 1-5, 2007.
- [10] E. F. Simas Filho, "Análise Não-Linear de Componentes Independentes para uma Filtragem Online Baseada em Calorimetria de Alta Energia e com Fina Segmentação," *UFRJ - Rio de Janeiro - Brasil*, 2010.
- [11] R. C. James Gillies, *How the Web was Born: The Story of the World Wide Web*, Oxford University Press, 2000.
- [12] R. G. GAMA, "Desenvolvimento de instrumentação baseada em lógica programável para aquisição de dados no Projeto Neutrinos Angra," *Centro Brasileiro de Pesquisas Físicas - CBPF*, Rio de Janeiro - Rio de Janeiro - 2009.
- [13] D. GRIFFITHS, "Introduction to Elementary Particles," *John Wiley Sons Inc*, 1987.
- [14] T. A. Alvarenga, "Simulação da Interação de Partículas no Detector Central e dos Sinais Elétricos Gerados pela Eletrônica de Leitura no Projeto Neutrinos Angra," *Juiz de Fora – Minas Gerais - Brasil*, 2013. Dissertação de Mestrado.

- [15] H.-V. Klapdor-Kleingrothaus, "Beyond the Desert 2003: Proceedings of the Fourth Tegersee International Conference on Particle Physics Beyond the Standard BEYOND 2003," *Springer Science & Business Media*, 2012.
- [16] T. PATZAK, "First direct observation of the tau neutrino," *Europhys News* 32,56, 2001.
- [17] L. F. G. Gonzalez, "Estudo da Resolução em Energia do Detector de Neutrinos do Projeto ANGRA para Medidas de Composição do Combustível Nuclear," *Campinas - São Paulo - Brasil*, 2009. Dissertação de Mestrado.
- [18] G. Alimonti, "The Borexino detector at the Laboratori Nazionali del Gran Sasso," *Nucl. Instrum. Meth.*, pp. A600:568-593, 2009.
- [19] S. Gollapinni, "Accelerator-based Short-baseline Neutrino Oscillation Experiment," *CIPANP2015-Gollapinni*, 2015.
- [20] M. G. T. Lasserre, "Double Chooz, A Search for the Neutrino Mixing Angle θ_{13} ." *Maury Goodman Thierry Lasserre arXiv:hep-ex/0606025*.
- [21] C. Daya-Bay e F. An, "Observation of electron-antineutrino disappearance at Daya," *Phys. Rev. Lett.* 108, 171803, 2012.
- [22] J. K. Ahn, "RENO: An Experiment for Neutrino Oscillation Parameter θ_{13} Using Reactor Neutrinos at Yonggwang," *arXiv:1003.1391v1*, 2010.
- [23] K. Scholberg, "SNEWS: The supernova early warning system," *American Institute of Physics (AIP) Conf. Proc.*, 1999.
- [24] Hamamatsu, "PMT HandBook Basic and Applications," *WTW Inc. Disponível em www.hamamatsu.com/resources/pdf/etd/PMT_handbook_v3aE.pdf*, 2007.
- [25] J. Park e S. Mackay, "Practical Data Acquisition for Instrumentation and Control Systems," *Elsevier. ISBN: 978-0-7506-5796-9*, 2003.
- [26] G. Watts., "Review of Triggering," *IEEE Nuclear Science Symposium and Medical Imaging Conference. Portland, EUA*, pp. 282-287, 2003.
- [27] J. A. COSTA, "Eletrônica de Front-End do Experimento Neutrinos-Angra," *UFJF - Dissertação de Mestrado - Minas Gerais - Brasil*, 2014.
- [28] T. I. Dornelas, "Medidas de caracterização do sensor, da eletrônica de Leitura e do detector alvo do projeto Neutrinos-Angra," *UFJF - Dissertação de Mestrado - Minas Gerais - Brasil*, 2015.
- [29] T. Dornelas, F. Araújo, A. Cerqueira, J. Costa e R. Nóbrega, "Front-end Design and Characterization for the ν -Angra Nuclear Reactor Monitoring Detector," *IOP S.*, 2016.

- [30] L. LAVAGNO, L. SCHEFFER e G. MARTIN, “EDA for IC Implementation, Circuit Design, and Process Technology,” 1ª. ed. Boca Raton-FL, EUA: CRC Press, v. I, 2006.
- [31] A. L. R. R. Doug Amos, “FPGA-based Prototyping Methodology Manual: Best Practices in Design-for-prototyping,” *Happy About*, 2011.
- [32] L. SCHEFFER, L. LAVAGNO e G. MARTIN, “EDA for IC System Design, Verification, and Testing.,” 1ª. ed. Boca Raton-FL, EUA: CRC Press, v. I, 2006.
- [33] K. MEADE e S. ROSENBERG, “A Practical Guide to Adopting the Universal Verification Methodology (UVM),” 2ª. ed. San Jose, CA, USA: Cadence Design Systems, Inc., v. I, 2013.
- [34] R. W. B. Dejan Marković, “DSP Architecture Design Essentials,” *Springer Science & Business Media*, 2012.
- [35] Altera, “Altera DE-2 Development and Education Board - User Manual,” ftp://ftp.altera.com/up/pub/Webdocs/DE2_UserManual.pdf, 2008.
- [36] A. K. Ashwin Pajankar, “Raspberry Pi By Example,” *Packt Publishing Ltd*, 2016.
- [37] N. A. Colaboração, “Dados do Experimento Neutrinos Angra,” <http://lsd.cbpf.br/neutrinos/pages/documents.php>, Acessado em Novembro/2016.
- [38] S. CHURIWALA e S. GARG, “Principles of VLSI RTL Design: A Practical Guide,” 1ª. ed. New York-NY, EUA: Springer, 2011.
- [39] R. Kamal, “Embedded Systems: Architecture, Programming and Design,” *Tata McGraw-Hill Education*, 2011.
- [40] S. John Wiley, “CMOS: Circuit Design, Layout, and Simulation, Volume 1,” *Volume 14 de IEEE Press Series on Microelectronic Systems*, 2008.
- [41] A. Corporation, “Altera Quartus II Power Analysis Tool,” <https://www.altera.com/support/support-resources/operation-and-testing/power/sof-qts-power.html>, 2016.
- [42] C. Corporation, “NC-Verilog® Simulator Help,” *Cadence Design Systems, Inc. All rights reserved*, 2008.
- [43] C. Altera, Altera Quartus II, https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/manual/intro_to_quartus2.pdf, 2010.

ANEXOS

ANEXO A - Produção Científica

Ao longo do desenvolvimento deste trabalho foram publicados 3 trabalhos relacionados ao tema do projeto de *trigger* do detector Neutrinos Angra. A listagem das publicações é apresentada a seguir:

- Sistema online de seleção de eventos no detector Neutrinos Angra
 - XXI Congresso Brasileiro de Automática - CBA, Vitória, Espírito Santo, 2016;
 - Resumo:

Este trabalho apresenta o primeiro estágio de seleção online de eventos (trigger) do detector Neutrinos Angra, o qual foi projetado para medir o fluxo de antineutrinos emitidos pelo reator nuclear Angra II, localizado no estado do Rio de Janeiro, Brasil. Atualmente, o detector está instalado no Centro Brasileiro de Pesquisas Físicas (CBPF), onde vem sendo realizados testes funcionais e procedimentos de calibração. O primeiro nível de trigger foi desenvolvido para dispositivos FPGA e inclui módulos adicionais para configuração remota e aquisição de dados. A arquitetura e testes de desempenho são apresentados. Os resultados foram obtidos utilizando-se como partículas alvo os múons cósmicos, visto que a taxa de antineutrinos no CBPF é muito baixa para ser detectada.

- A FPGA-Based Trigger and DAQ System for Neutrinos Angra Detector
 - 6th Workshop on Circuits and Systems Design, Belo Horizonte, Minas Gerais, 2016.

- Resumo:

The first-level trigger (L1) in high energy physics (HEP) is responsible to select and filter the interest events. The Neutrinos Angra detector is a Brazilian experiment from HEP located near Angra II nuclear reactor, located in the state of Rio de Janeiro, Brazil. This work presents the implementation of the Trigger L1 in digital circuits based on FPGA and hardware description language. The tests are performed at the Brazilian Center for Physics Research (CBPF), where functional where calibration procedures are being carried out. The current digital architecture, methodology, results and performance tests are presented.

- Proposta de Sistema de Trigger de Primeiro Nível para o Detector Neutrinos Angra.
 - Encontro de Física, Sociedade Brasileira de Física (SBF), Natal, Rio Grande do Norte, 2016.
 - Resumo:

Na física de altas energias, os sistemas de seleção online de eventos (Trigger) são responsáveis por realizar a análise e separação entre os eventos de interesse e o ruído de fundo. Os sistemas de trigger são segmentados em níveis, os mais baixos operam em hardware e os demais em software. Este artigo apresenta uma proposta e implementação, em eletrônica dedicada configurável (utilizando FPGA), do sistema de trigger de primeiro nível do detector Neutrinos Angra. O detector foi projetado para medir o fluxo de antineutrinos do reator nuclear de Angra II e está atualmente em fase final de montagem e testes.