VI Escola do CBPF

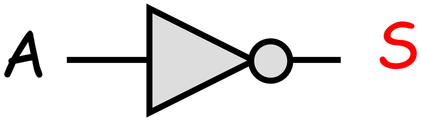
Rio de Janeiro, 17 a 28 de julho de 2006

G4 Eletrônica Digital para Instrumentação

Prof. Márcio Portes de Albuquerque (mpa@cbpf.br)
Prof. Herman P. Lima Jr (hlima@cbpf.br)

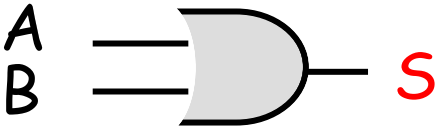
Centro Brasileiro de Pesquisas Físicas
Ministério da Ciência e Tecnologia (MCT)

Portas Lógicas – Eletrônica Digital



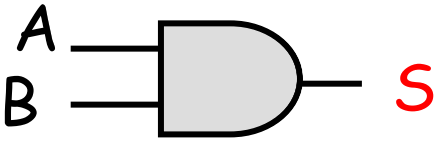
NOT

A	S
0	1
1	0



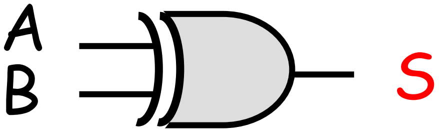
OR

A	B	S
0	0	0
0	1	1
1	0	1
1	1	1



AND

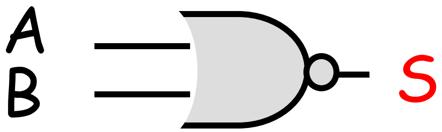
A	B	S
0	0	0
0	1	0
1	0	0
1	1	1



XOR

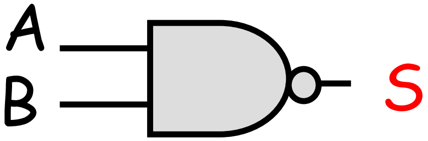
A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

Portas Lógicas – Eletrônica Digital



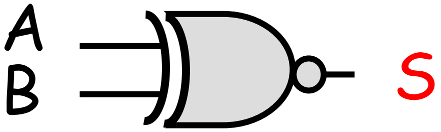
NOR

A	B	S
0	0	1
0	1	0
1	0	0
1	1	0



NAND

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0



XNOR

A	B	S
0	0	1
0	1	0
1	0	0
1	1	1

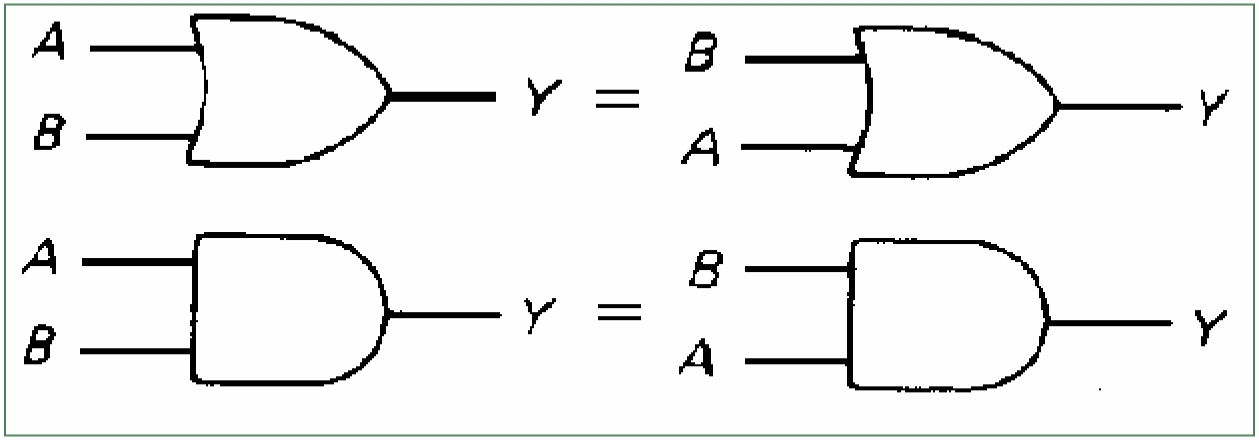
Projeto e Análise de Circuitos Lógicos

Álgebra booleana → simplificar

Mapas de Karnaugh → circuitos lógicos

Leis Booleanas

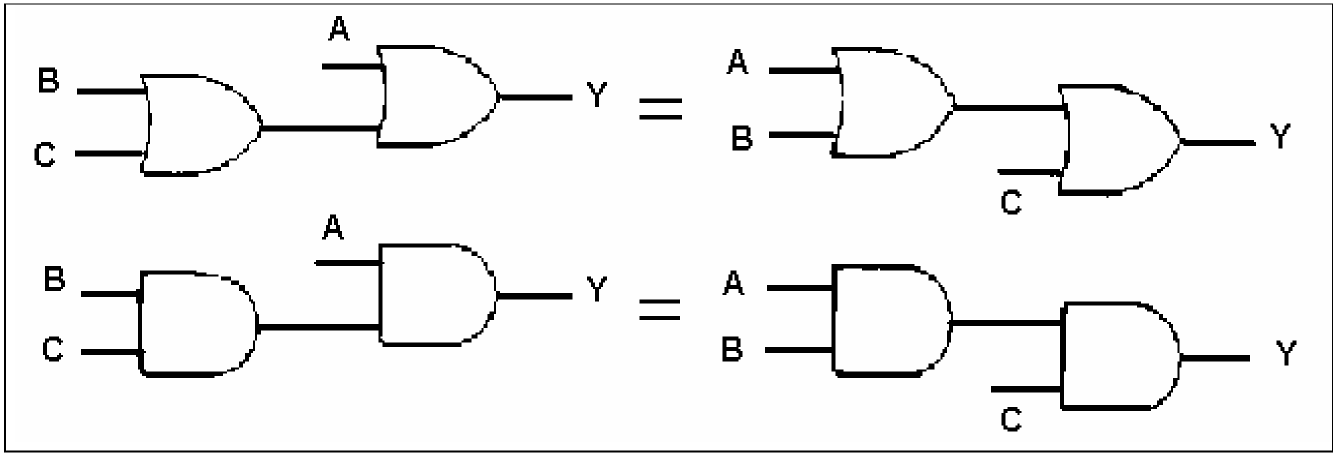
* comutativa: ***A+B = B+A ; AB = BA***



* Associativa:

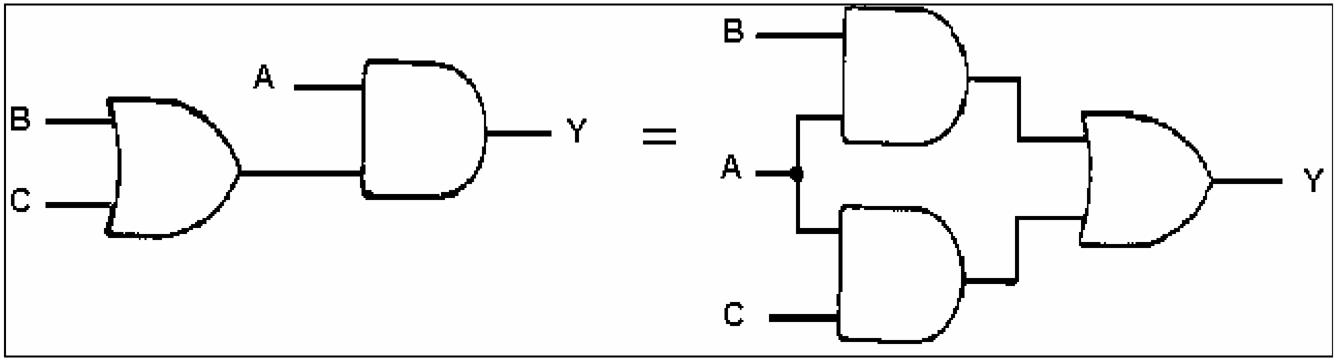
A+(B+C)=(A+B)+C →

A(BC) = (AB)C →


A
B
C
Y
=
A
B
C
Y
A
B
C
Y
=
A
B
C
Y

* Distributiva:

A(B+C) = AB + AC →



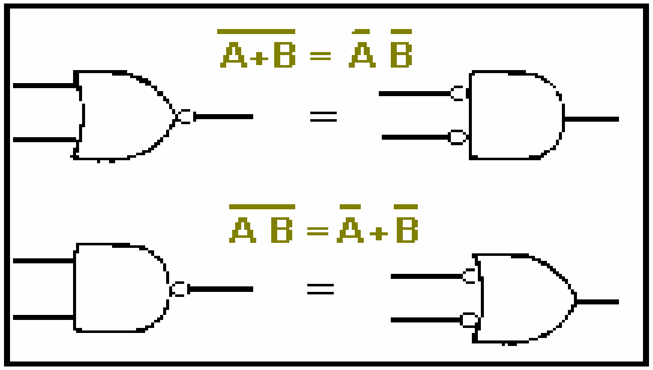
OPERAÇÕES

OR	AND
A+0= A	A .1=A
A+A= A	A .A=A
A+1 = 1	A.0=0
$A+\bar{A}=1$	$A.\bar{A}=0$

Inversão Dupla

$\bar{\bar{A}} = A$

De Morgan



$\overline{A+B} = \bar{A}\ \bar{B}$

$\overline{A\ B} = \bar{A}+\bar{B}$

Teorema da Dualidade

OR ⟷ AND ; AND ⟷ OR ; 0 ⟷ 1

$$A + 0 = A \quad \xleftrightarrow[\text{dual}]{} \quad A \,.\, 1 = A$$

$$A(B+C) = AB + AC \quad \xleftrightarrow[\text{dual}]{} \quad A + BC = (A+B)(A+C)$$

Teorema da Dualidade

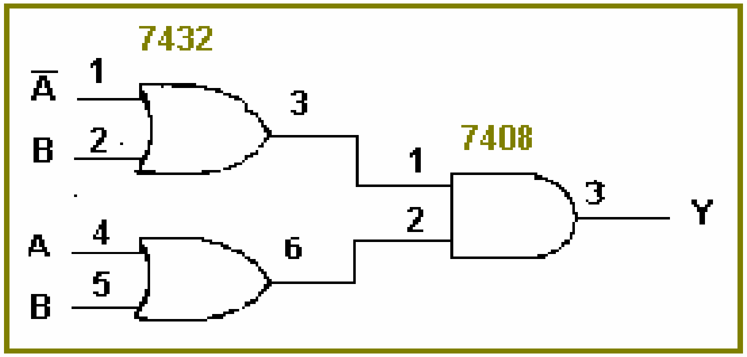
OR ⟷ AND ; AND ⟷ OR ; 0 ⟷ 1

$$A + 0 = A \;\xleftrightarrow[\text{dual}]{}\; A \,.\, 1 = A$$

$$A(B+C) = AB + AC \;\xleftrightarrow[\text{dual}]{}\; A + BC = (A+B)(A+C)$$

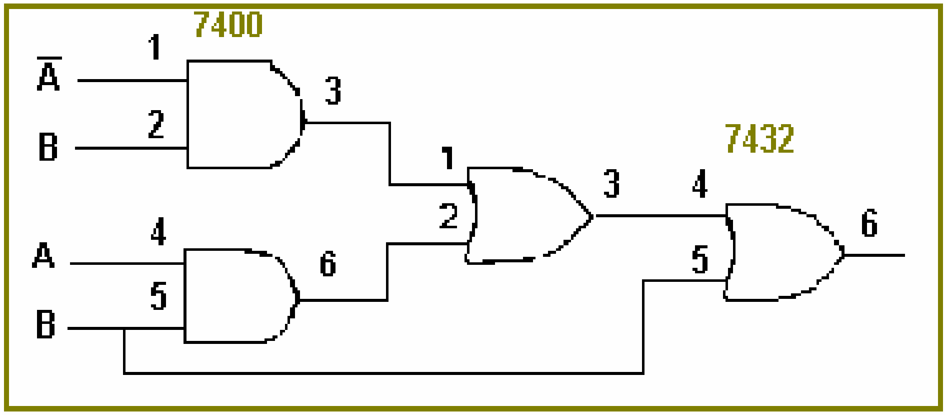
*** Exemplo: circuito lógico para:**

$$Y = (\bar{A} + B)(A + B)$$


7432
Ā
1
B
2
3
7408
1
2
3
Y
A
4
5
B
6

$$Y = \underbrace{\bar{A}A}_{0} + \bar{A}B + BA + \underbrace{BB}_{B} = \bar{A}B + AB + B$$

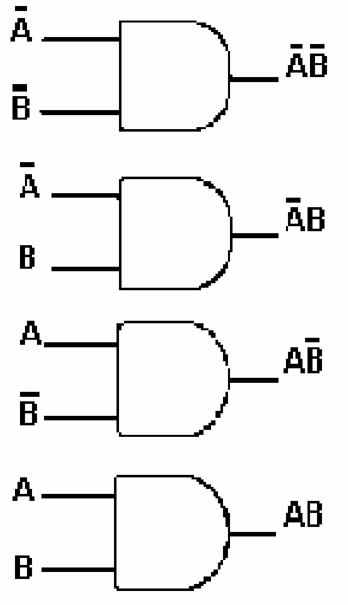
$$Y = \underbrace{(\bar{A} + A)}_{1}\underbrace{B + B}_{B} = B$$


7400
Ā
1
B
2
3
1
2
7432
3
4
5
6
A
4
5
B
6

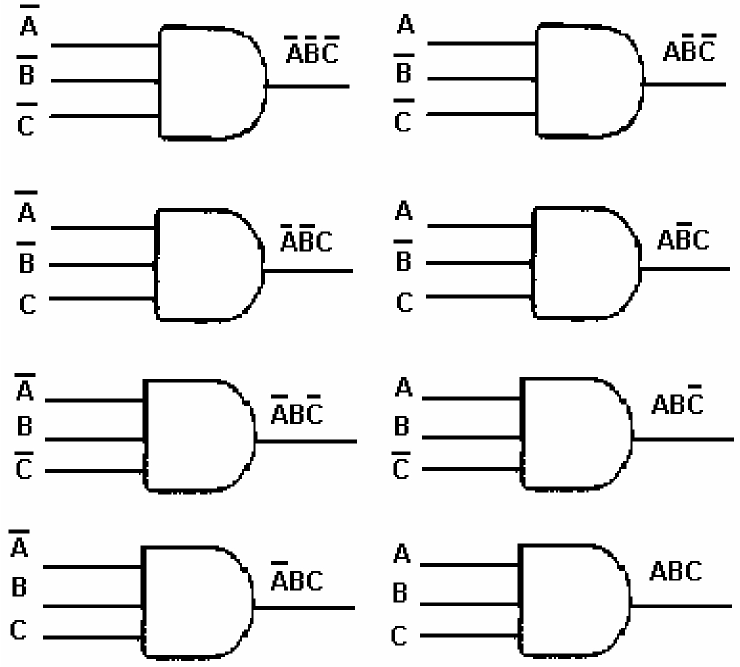
$$B \longrightarrow Y$$

Método da Soma de Produtos

A	B	Produto Fundamental
0	0	$\bar{A}\bar{B}$
0	1	$\bar{A}B$
1	0	$A\bar{B}$
1	1	AB


$\bar{A}$
$\bar{B}$
$\bar{A}\bar{B}$
$\bar{A}$
B
$\bar{A}B$
A
$\bar{B}$
$A\bar{B}$
A
B
AB

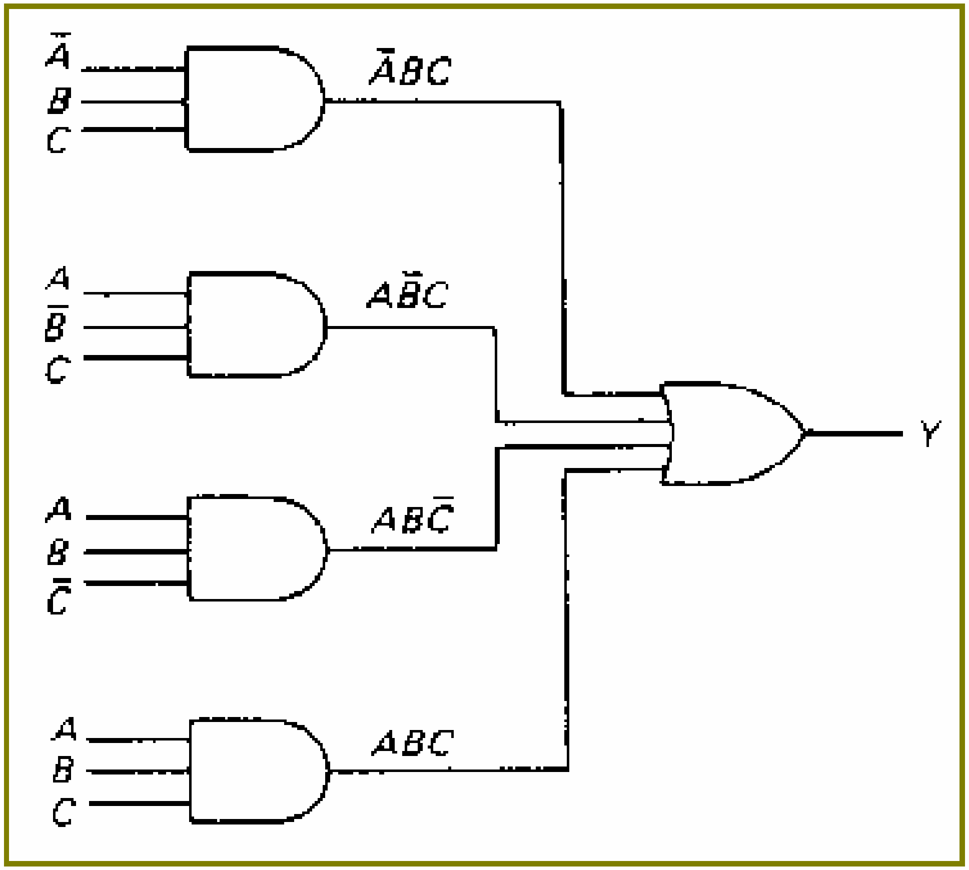
A	B	C	Produto Fundamental
0	0	0	$\bar{A}\bar{B}\bar{C}$
0	0	1	$\bar{A}\bar{B}C$
0	1	0	$\bar{A}B\bar{C}$
0	1	1	$\bar{A}BC$
1	0	0	$A\bar{B}\bar{C}$
1	0	1	$A\bar{B}C$
1	1	0	$AB\bar{C}$
1	1	1	ABC


$\bar{A}$
$\bar{B}$
$\bar{C}$
$\bar{A}\bar{B}\bar{C}$
A
$\bar{B}$
$\bar{C}$
$A\bar{B}\bar{C}$
$\bar{A}$
$\bar{B}$
C
$\bar{A}\bar{B}C$
A
$\bar{B}$
C
$A\bar{B}C$
$\bar{A}$
B
$\bar{C}$
$\bar{A}B\bar{C}$
A
B
$\bar{C}$
$AB\bar{C}$
$\bar{A}$
B
C
$\bar{A}BC$
A
B
C
ABC

Equação da Soma de Produtos

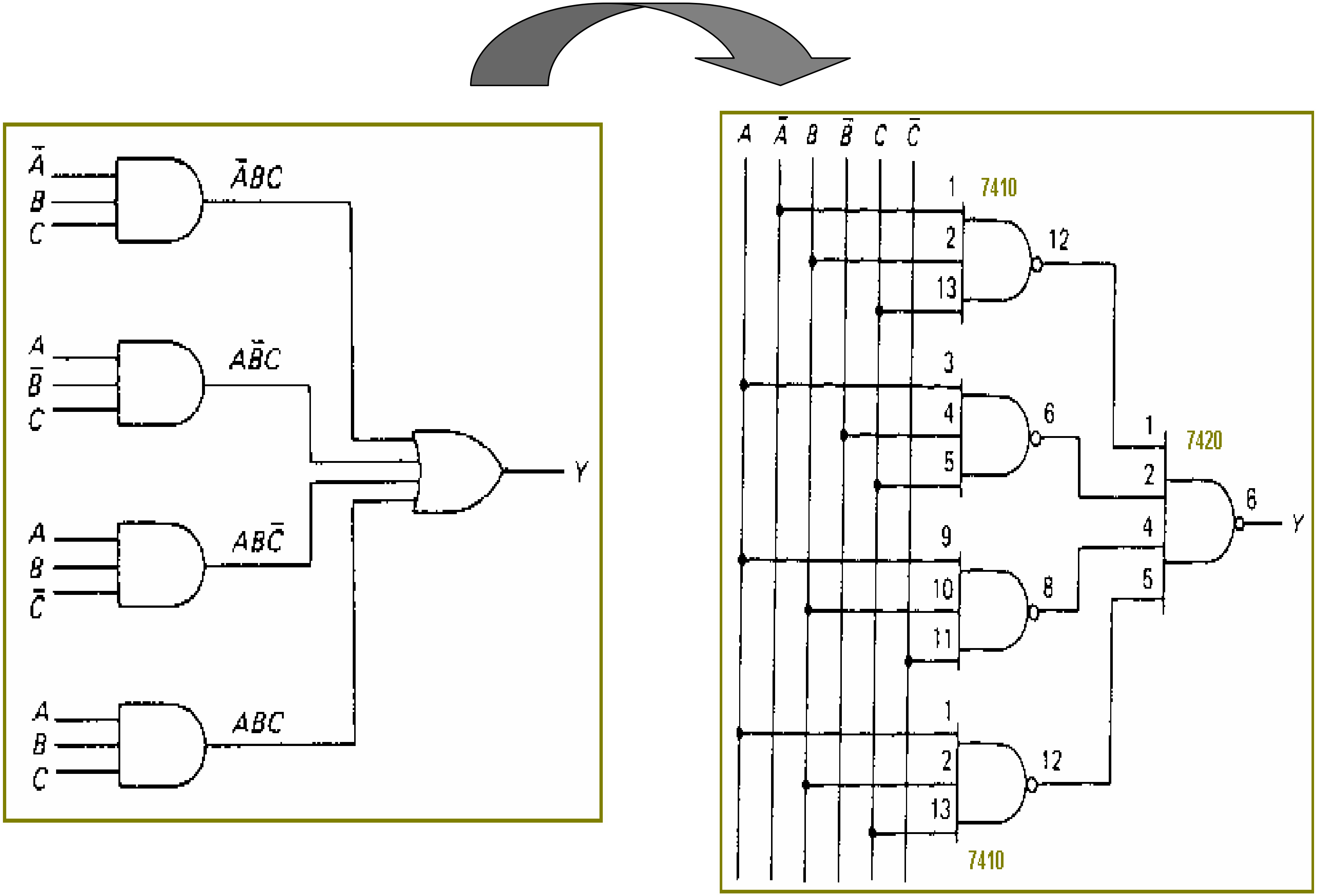
Ex1: dada uma tabela verdade qualquer...

A	B	C	Y	
0	0	0	0	
0	0	1	0	
0	1	0	0	
0	1	1	1	$\bar{A}BC$
1	0	0	0	
1	0	1	1	$A\bar{B}C$
1	1	0	1	$AB\bar{C}$
1	1	1	1	ABC


$\bar{A}$
B
C
$\bar{A}BC$
A
$\bar{B}$
C
$A\bar{B}C$
A
B
$\bar{C}$
$AB\bar{C}$
A
B
C
ABC
Y

Equação da soma de produtos:

$$Y=\bar{A}BC+A\bar{B}C+ABC+AB\bar{C}$$


$\bar{A}$
B
C
$\bar{A}BC$
A
$\bar{B}$
C
$A\bar{B}C$
A
B
$\bar{C}$
$AB\bar{C}$
A
B
C
ABC
Y
A
$\bar{A}$
B
$\bar{B}$
C
$\bar{C}$
1
7410
2
13
12
3
4
5
6
9
10
11
8
1
2
13
12
7410
1
7420
2
4
5
6
Y

Simplificação:
Tabela-Verdade para Mapa de Karnaugh

	A	B	C	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	1
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

	$\bar{C}$	C
$\bar{A}\bar{B}$	0	1
$\bar{A}B$	2	3
AB	6	7
$A\bar{B}$	4	5

	$\bar{C}$	C
$\bar{A}\bar{B}$		
$\bar{A}B$	1	
AB	1	1
$A\bar{B}$		

→

	$\bar{C}$	C
$\bar{A}\bar{B}$	0	0
$\bar{A}B$	1	0
AB	1	1
$A\bar{B}$	0	0

	ABCD
0	0
1	1
2	10
3	11
4	100
5	101
6	110
7	111
8	1000
9	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111

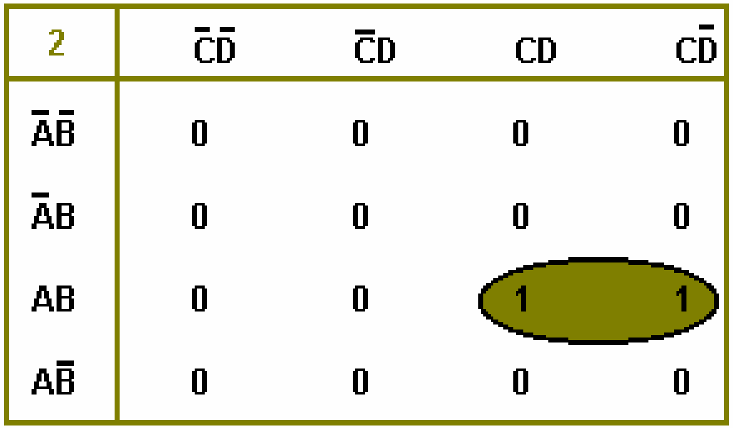
Simplificação:
Mapa de Karnaugh

(4 bits)

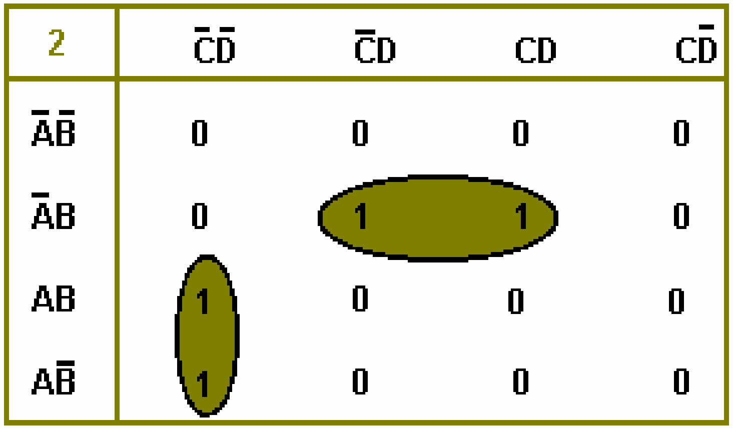
	$\overline{C}\,\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\,\overline{B}$	0	1	3	2
$\overline{A}B$	4	5	7	6
AB	12	13	15	14
$A\overline{B}$	8	9	11	10

PARES

* *Elimina 1 variável*



2	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	0	0	1	1
$A\bar{B}$	0	0	0	0



2	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	1	1	0
AB	1	0	0	0
$A\bar{B}$	1	0	0	0

$$Y=ABCD + ABC\bar{D}$$

$$Y=ABC(D+\bar{D})$$

$$Y=ABC$$

$$Y=AB\bar{C}\bar{D}+A\bar{B}\bar{C}\bar{D}+\bar{A}B\bar{C}D+\bar{A}BCD$$

$$Y=A\bar{C}\bar{D}+\bar{A}BD$$

QUADRAS

* *Elimina 2 variáveis :*

1° par ABC ; 2° par ABC

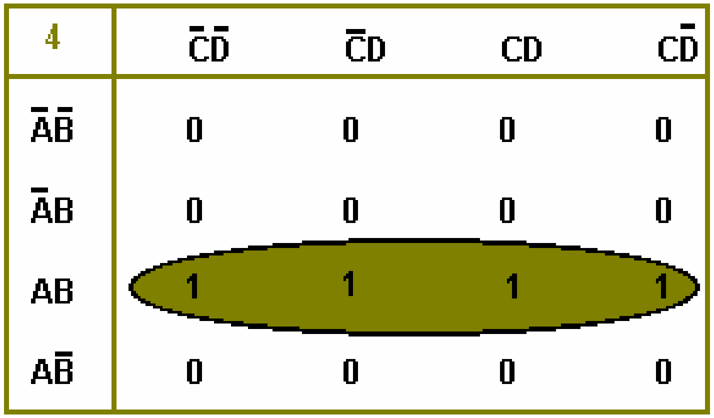
$Y=AB\bar{C}+ABC$

$Y=AB(\bar{C}+C)$

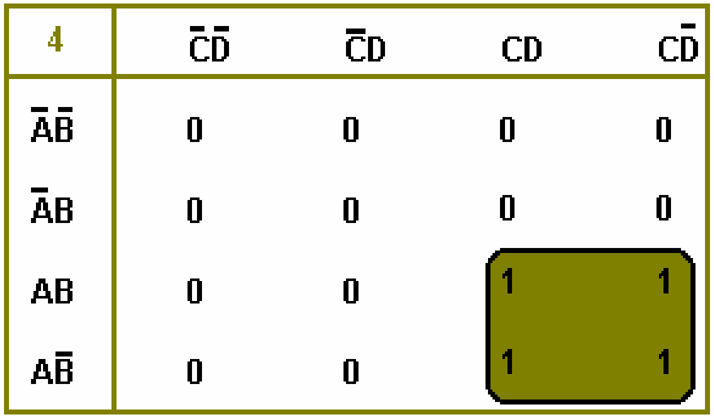
$Y=AB$

Tomar qq 1 como pto de partida

$Y=AC$



4	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	1	1	1	1
$A\bar{B}$	0	0	0	0



4	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	0	0	1	1
$A\bar{B}$	0	0	1	1

OCTETOS

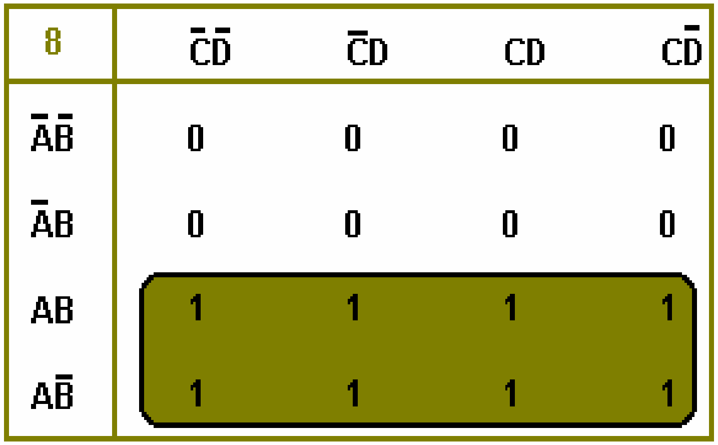
* Elimina 3 variáveis :

1° quadra ABC ; 2° quadra ABC

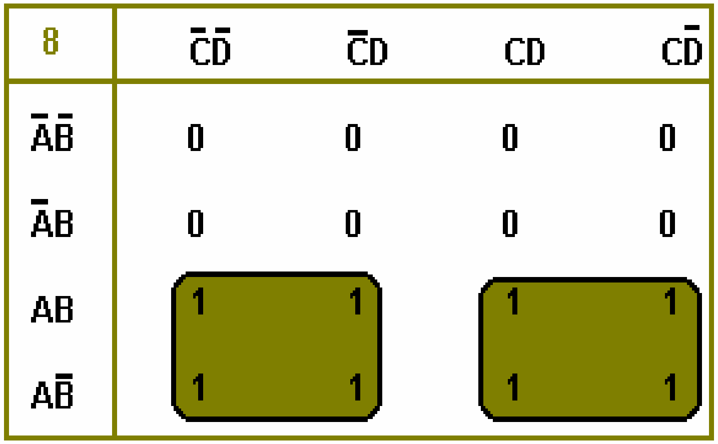
$$Y=A\bar{C}+AC$$

$$Y=A(\bar{C}+C)$$

$$Y=A$$



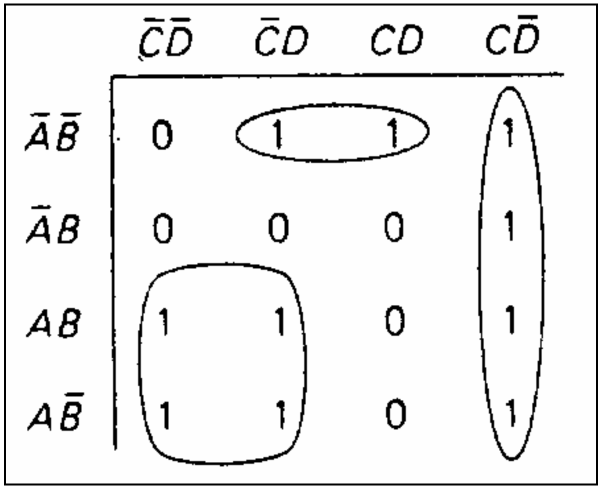
8	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	1	1	1	1
$A\bar{B}$	1	1	1	1



8	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	1	1	1	1
$A\bar{B}$	1	1	1	1

Simplificações de Karnaugh

- Um par elimina uma variável (seu complemento).
- Uma quadra elimina duas variáveis (seus complementos).
- Um octeto elimina três variáveis (seus complementos).



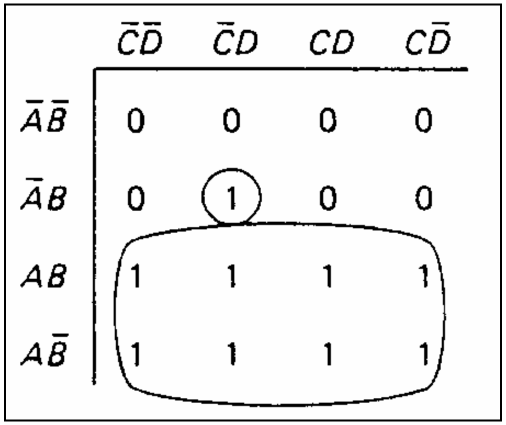
	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	1	1	1
$\bar{A}B$	0	0	0	1
AB	1	1	0	1
$A\bar{B}$	1	1	0	1

$$Y = \overline{A}\,\overline{B}D + A\overline{C} + C\overline{D}$$

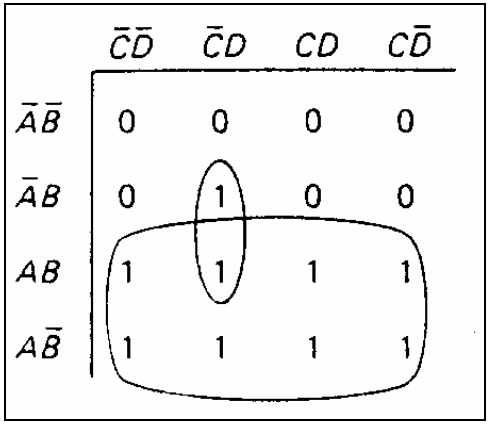
Sobrepondo Grupos

- Pode-se usar o mesmo 1 mais de uma vez

$Y = A + \overline{A}B\overline{C}D$



	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	0	0	0	0
$\overline{A}B$	0	1	0	0
AB	1	1	1	1
$A\overline{B}$	1	1	1	1



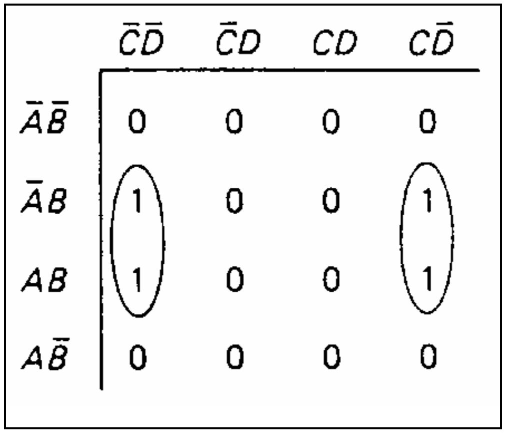
	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	0	0	0	0
$\overline{A}B$	0	1	0	0
AB	1	1	1	1
$A\overline{B}$	1	1	1	1

$Y = A + B\overline{C}D$

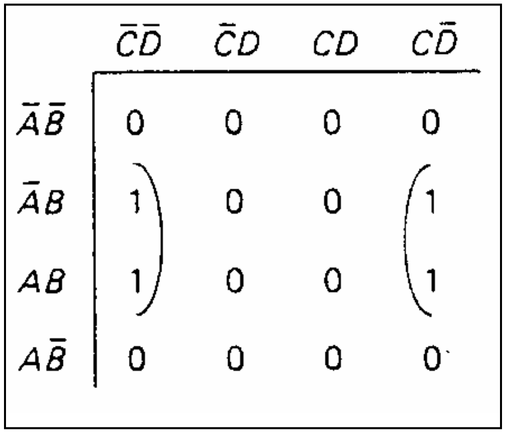
Enrolando o Mapa

- Pode-se usar o mesmo 1 mais de uma vez

$Y = B\overline{C}\overline{D} + BC\overline{D}$



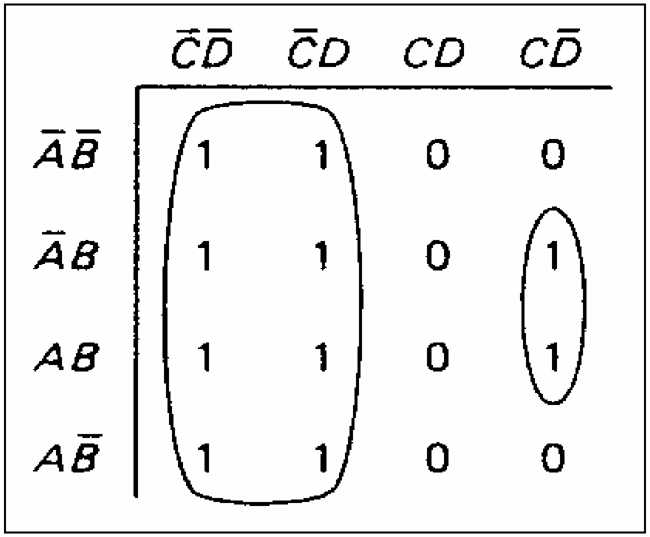
	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	0	0	0	0
$\overline{A}B$	1	0	0	1
AB	1	0	0	1
$A\overline{B}$	0	0	0	0



	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	0	0	0	0
$\overline{A}B$	1	0	0	1
AB	1	0	0	1
$A\overline{B}$	0	0	0	0

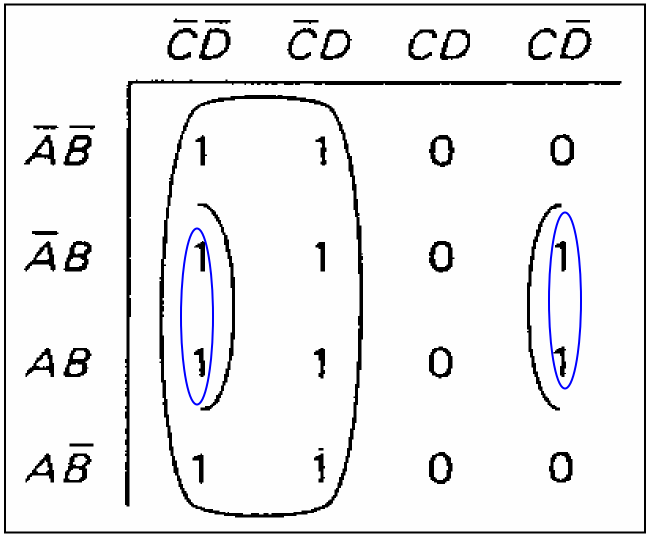
$Y = B\overline{D}$

Ex. 1



	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	1	1	0	0
$\overline{A}B$	1	1	0	1
AB	1	1	0	1
$A\overline{B}$	1	1	0	0

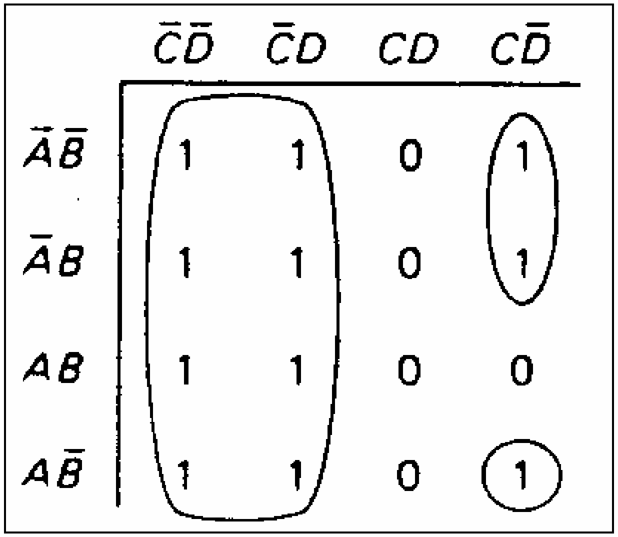
$$Y = \overline{C} + BC\overline{D}$$



	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	1	1	0	0
$\overline{A}B$	1	1	0	1
AB	1	1	0	1
$A\overline{B}$	1	1	0	0

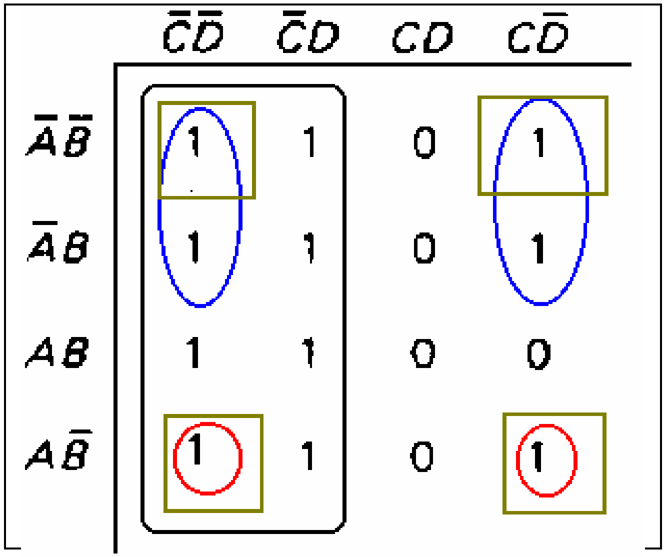
$$Y = \overline{C} + B\overline{D}$$

Ex. 2



	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	1	1	0	1
$\overline{A}B$	1	1	0	1
AB	1	1	0	0
$A\overline{B}$	1	1	0	1

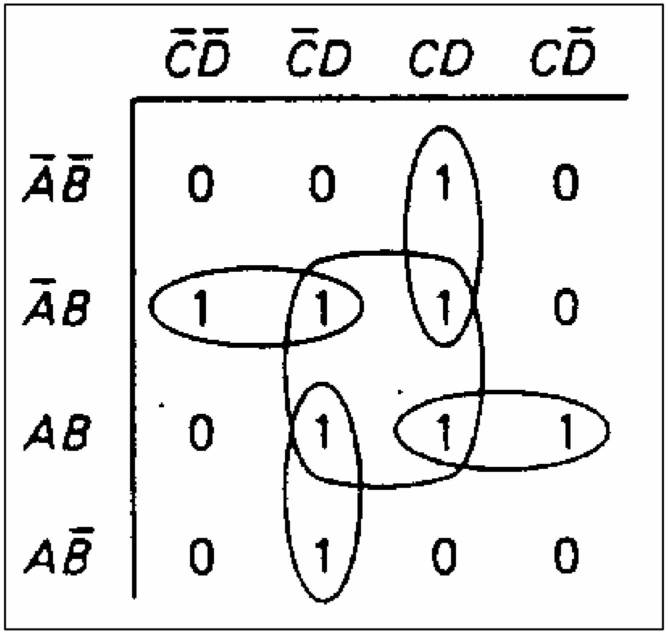
$$Y = \overline{C} + \overline{A}C\overline{D} + A\overline{B}C\overline{D}$$



	$\overline{C}\overline{D}$	$\overline{C}D$	CD	$C\overline{D}$
$\overline{A}\overline{B}$	1	1	0	1
$\overline{A}B$	1	1	0	1
AB	1	1	0	0
$A\overline{B}$	1	1	0	1

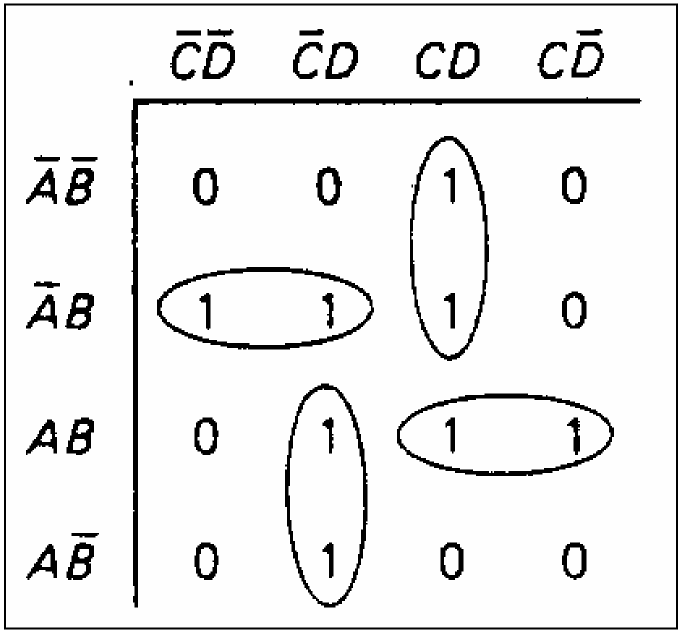
$$Y = \overline{C} + \overline{A}\,\overline{D} + \overline{B}\,\overline{D}$$

Eliminando Grupos Redundantes



	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	1	0
$\bar{A}B$	1	1	1	0
AB	0	1	1	1
$A\bar{B}$	0	1	0	0

$$Y = BD + \overline{A}B\overline{C} + ABC + A\overline{C}D + \overline{A}CD$$



	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	1	0
$\bar{A}B$	1	1	1	0
AB	0	1	1	1
$A\bar{B}$	0	1	0	0

$$Y = \overline{A}B\overline{C} + ABC + A\overline{C}D + \overline{A}CD$$

Resumindo....

1. Insira um 1 no mapa de Karnaugh para cada produto fundamental que produz uma saída 1 na tabela-verdade. Insira zeros nos espaços restantes.

2. Circunde os octetos, quadras e pares. Lembre-se de sobrepor para obter os grupos maiores possíveis.

3. Se restar qualquer 1 isolado, circunde cada um.

4. Elimine qualquer grupo redundante.

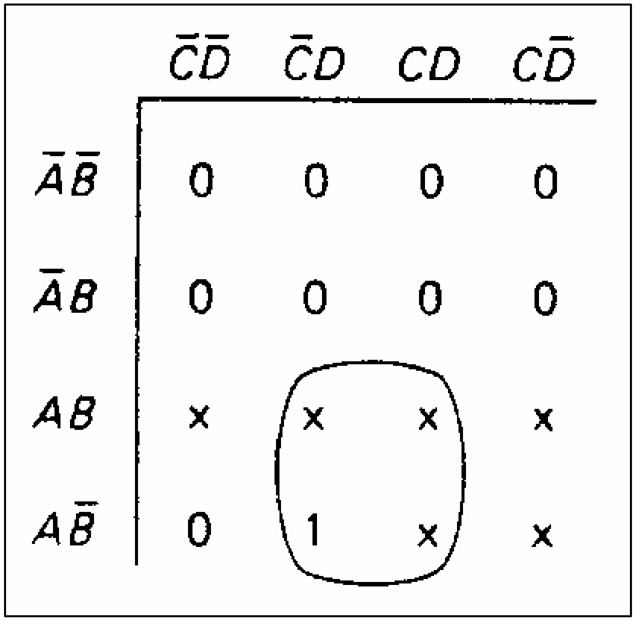
5. Escreva a equação booleana fazendo a operação OR dos produtos correspondentes aos grupos circundados.

Condições que não importam (“don’t care”)

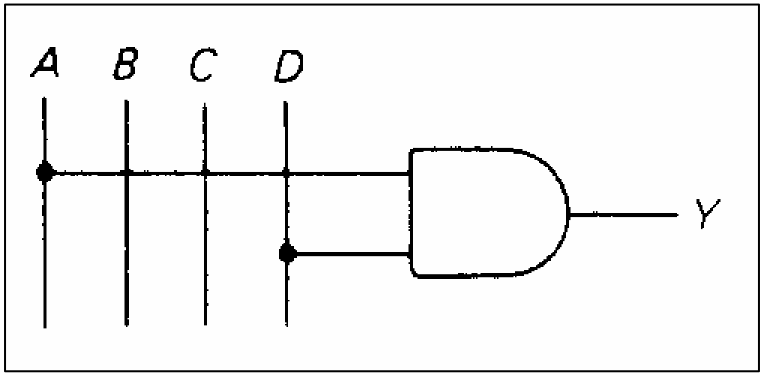
- Condições de entrada que nunca ocorrem durante o funcionamento normal; portanto a correspondente saída nunca aparece (X).

- A condição que não importa pode ser deixada igual a 1 ou 0, qualquer um que produza um circuito lógico mais simples.

Ex. 1

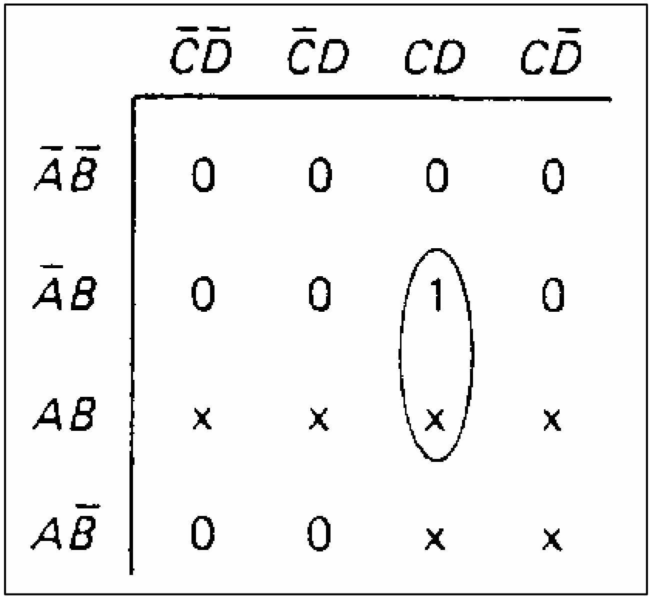


	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	x	x	x	x
$A\bar{B}$	0	1	x	x

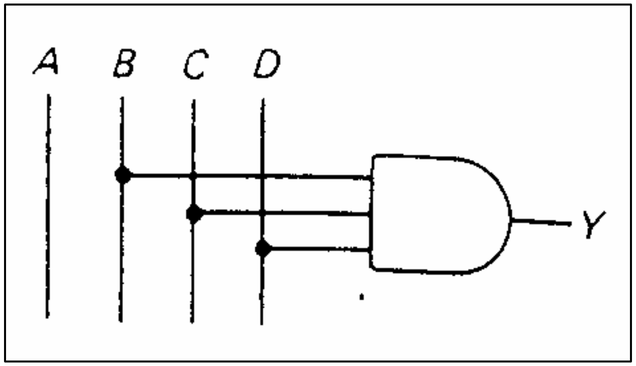


$$Y = AD$$

Ex. 2



	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	1	0
AB	x	x	x	x
$A\bar{B}$	0	0	x	x

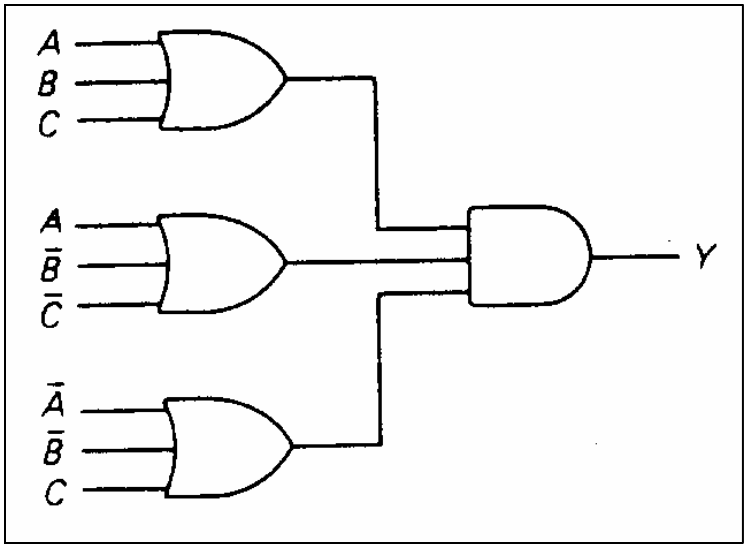


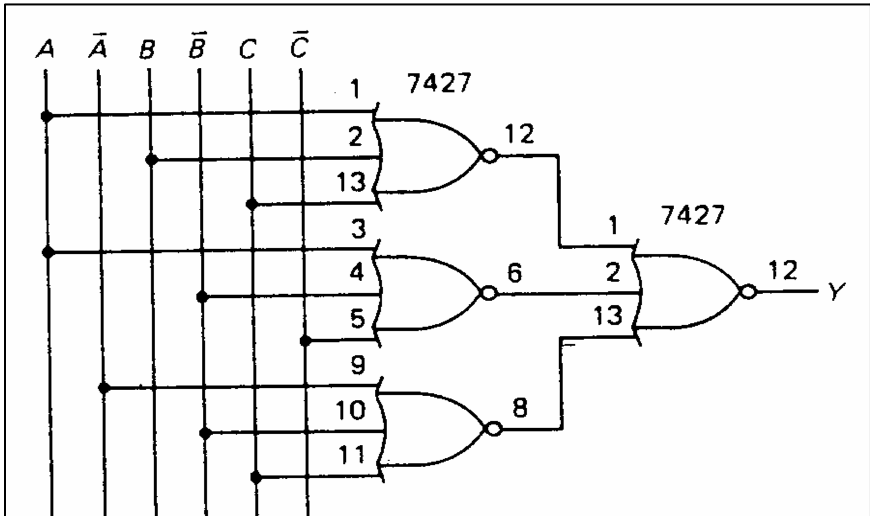
$$Y = ABC$$

Método do Produto de Somas

	A	B	C	Y
0	0	0	0	0 → A+B+C
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0 → $A+\overline{B}+\overline{C}$
4	1	0	0	1
5	1	0	1	1
6	1	1	0	0 → $\overline{A}+\overline{B}+C$
7	1	1	1	1

$$Y = (A+B+C)(A+\overline{B}+\overline{C})(\overline{A}+\overline{B}+C)$$

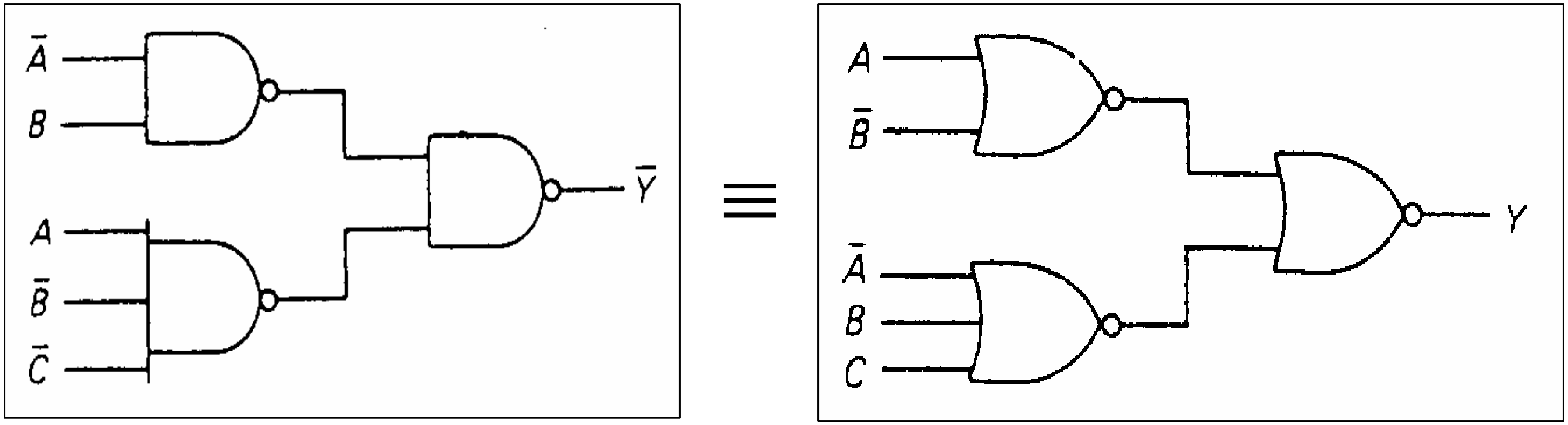

A
B
C
A
$\overline{B}$
$\overline{C}$
$\overline{A}$
$\overline{B}$
C
Y


A
$\overline{A}$
B
$\overline{B}$
C
$\overline{C}$
7427
1
2
13
12
3
4
5
6
9
10
11
8
7427
1
2
13
12
Y

Dualidade das Portas

- Transforme cada porta AND em uma porta OR, transforme cada porta OR em uma porta AND e complemente todos os sinais de entrada-saída.

- Transforme cada porta NAND em uma porta NOR, transforme cada porta NOR em uma porta NOR em uma porta NAND e complemente todos os sinais de entrada-saída.


$\bar{A}$
B
A
$\bar{B}$
$\bar{C}$
$\bar{Y}$
≡
A
$\bar{B}$
$\bar{A}$
B
C
Y

VI Escola do CBPF

Rio de Janeiro, 17 a 28 de julho de 2006

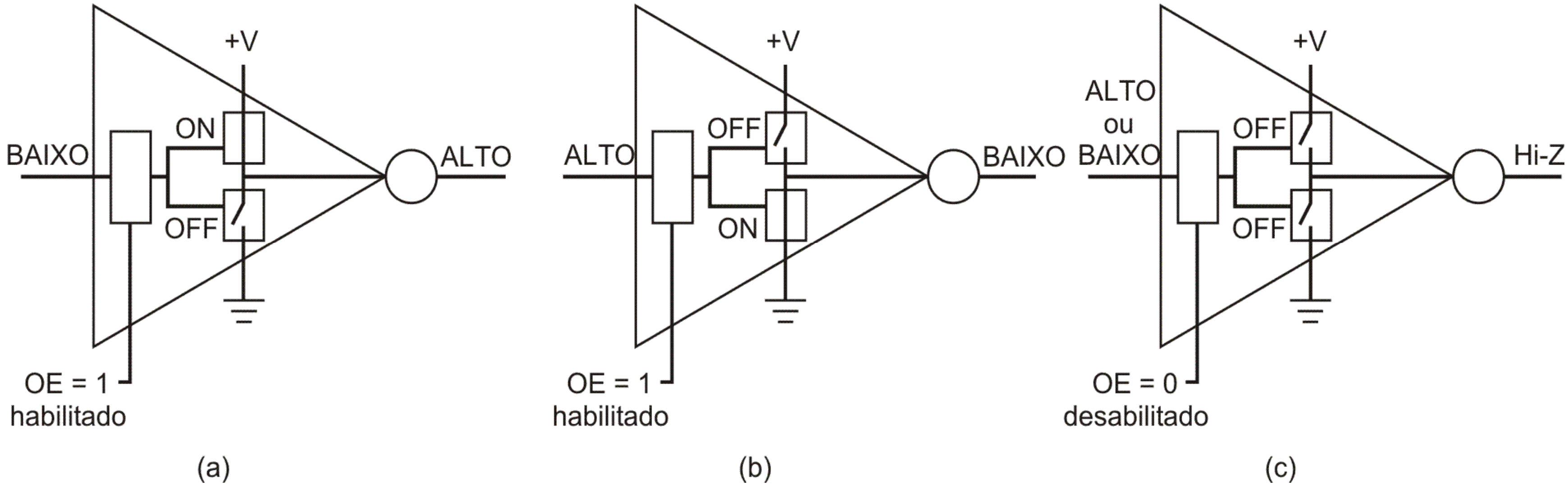
G4 **Eletrônica Digital para Instrumentação**

Portas Lógicas
Flip-Flop’s
Circuitos Digitais Clássicos

Centro Brasileiro de Pesquisas Físicas
Ministério da Ciência e Tecnologia (MCT)

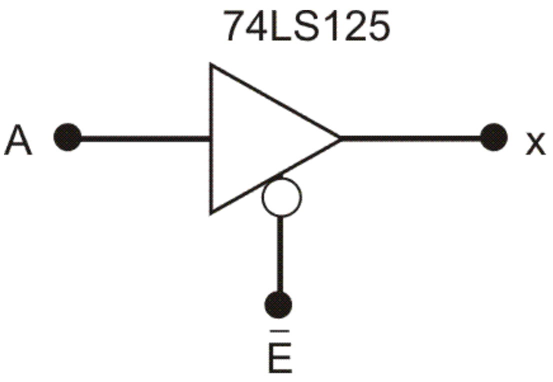
Três condições de saída

(o terceiro estado: “tristate”).



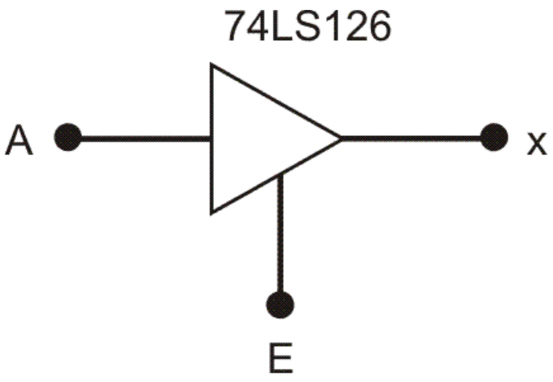
+V
ON
BAIXO
ALTO
OFF
OE = 1
habilitado
(a)
+V
OFF
ALTO
BAIXO
ON
OE = 1
habilitado
(b)
+V
ALTO
ou
BAIXO
OFF
OFF
Hi-Z
OE = 0
desabilitado
(c)

“Buffers tristate” não inversores.


74LS125
A
x
$\overline{E}$

$\overline{E}$	x
0	A
1	Alta impedância

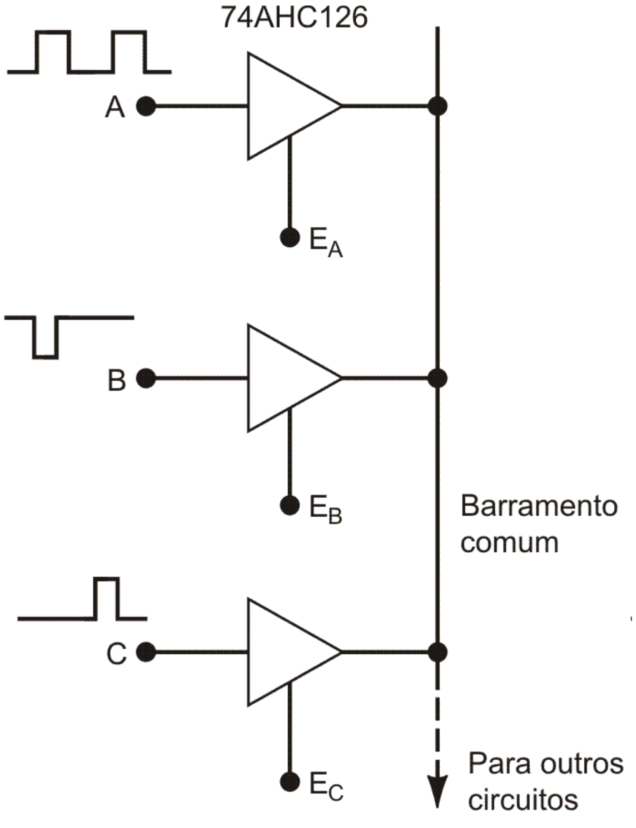
(a)


74LS126
A
x
E

E	x
0	A
1	Alta impedância

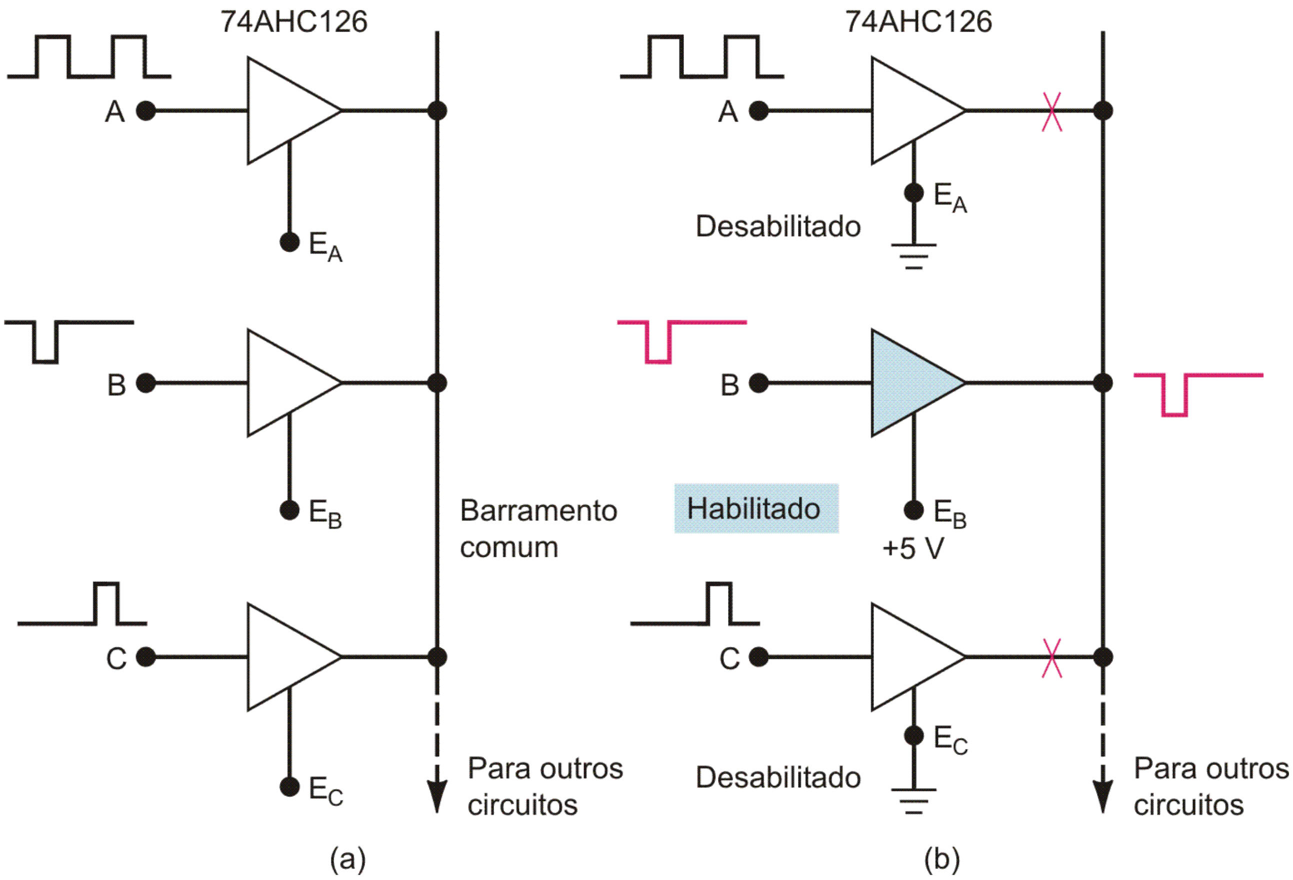
(b)

(a) Buffers tristate usados para conectar alguns sinais a um barramento comum;

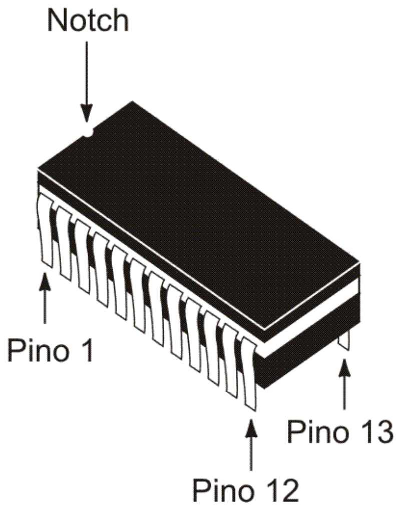

74AHC126
A
E_A
B
E_B
Barramento
comum
C
E_C
Para outros
circuitos

(a)

(a) Buffers tristate usados para conectar alguns sinais a um barramento comum; (b) Condições para transmitir o sinal B para o barramento.

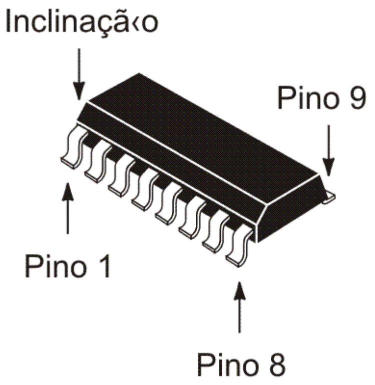

74AHC126
A
E_A
B
E_B
Barramento comum
C
E_C
Para outros circuitos
(a)
74AHC126
A
E_A
Desabilitado
B
Habilitado
E_B
+5 V
C
E_C
Desabilitado
Para outros circuitos
(b)

Encapsulamentos comuns de CIs. (Texas Instruments.)


Notch
Pino 1
Pino 13
Pino 12

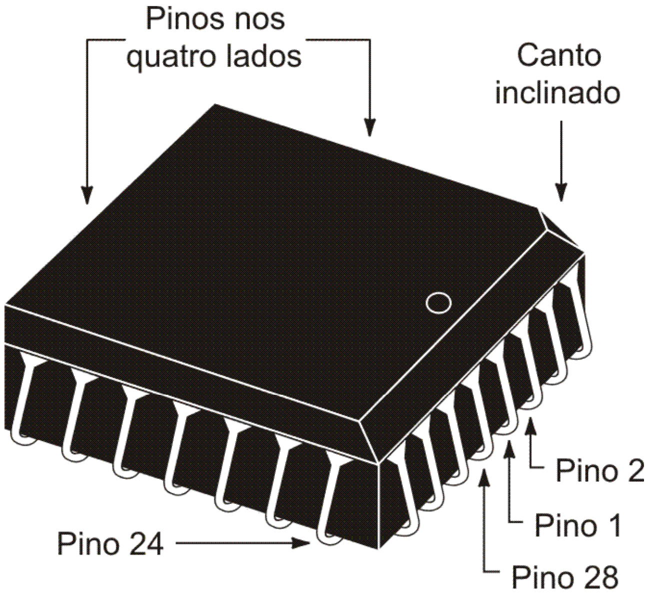
DIP de 24 pinos

(a)


Inclinaçã‹o
Pino 9
Pino 1
Pino 8

SOIC de 16 pinos
(asa de gaivota)
para montagem em superfície

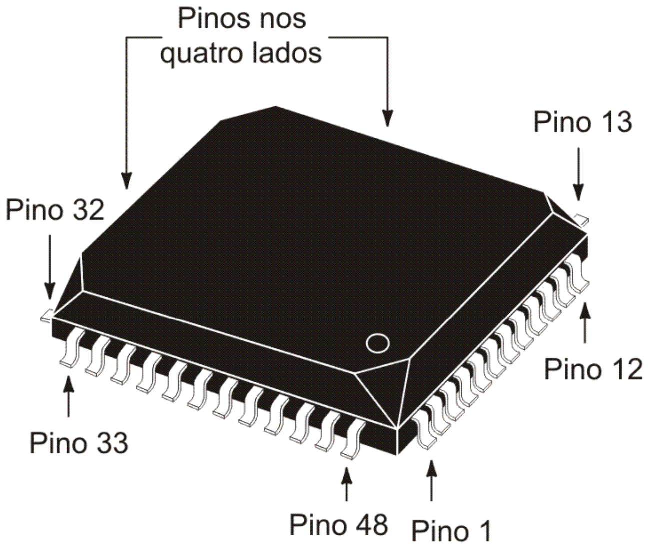
(b)


Pinos nos
quatro lados
Canto
inclinado
Pino 2
Pino 1
Pino 24
Pino 28

PLCC de 28 pinos (pino J)
para soquete ou montagem
em superfície

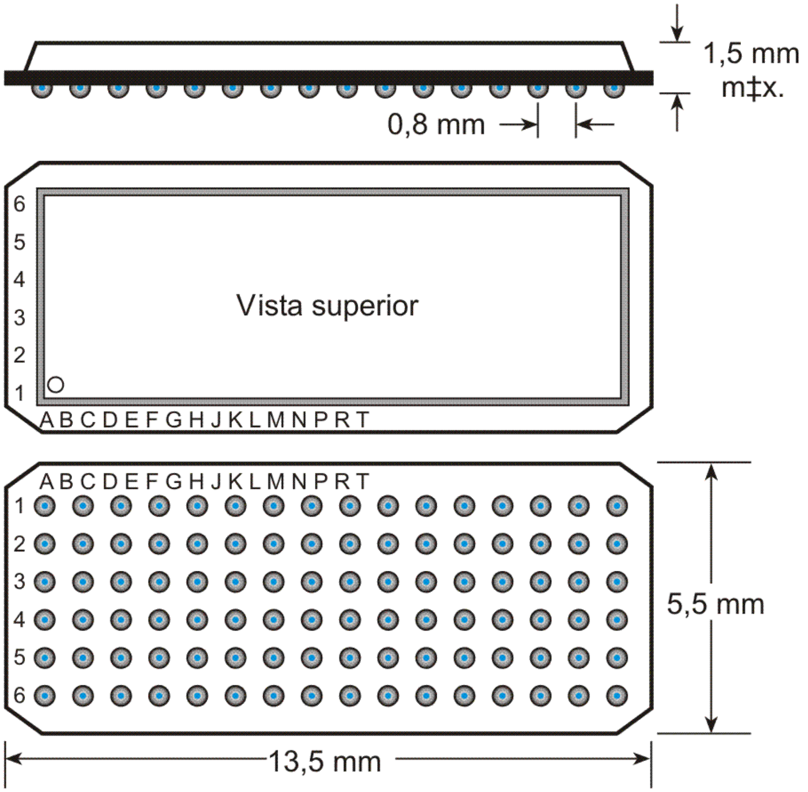
(c)

Encapsulamentos comuns de CIs. (Texas Instruments.)


Pinos nos
quatro lados
Pino 13
Pino 32
Pino 12
Pino 33
Pino 48
Pino 1

QFP de 48 pinos
(asa de gaivota)
para montagem em superfície

(d)


1,5 mm
m‡x.
0,8 mm
6
5
4
3
2
1
Vista superior
A B C D E F G H J K L M N P R T
A B C D E F G H J K L M N P R T
1
2
3
4
5
6
5,5 mm
13,5 mm

LFBGA de 96 pinos
para montagem em superfície

(e)

Comparação entre as operações com e sem memória.

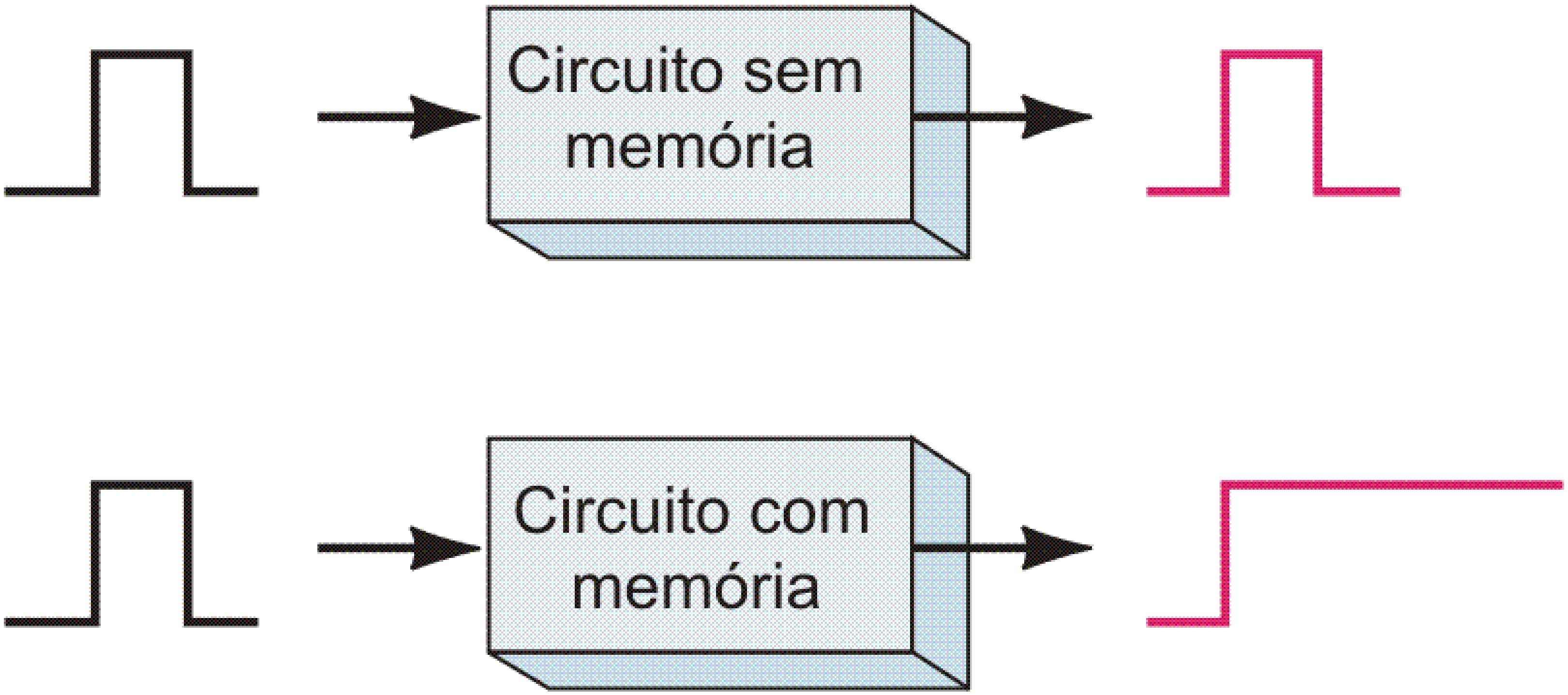
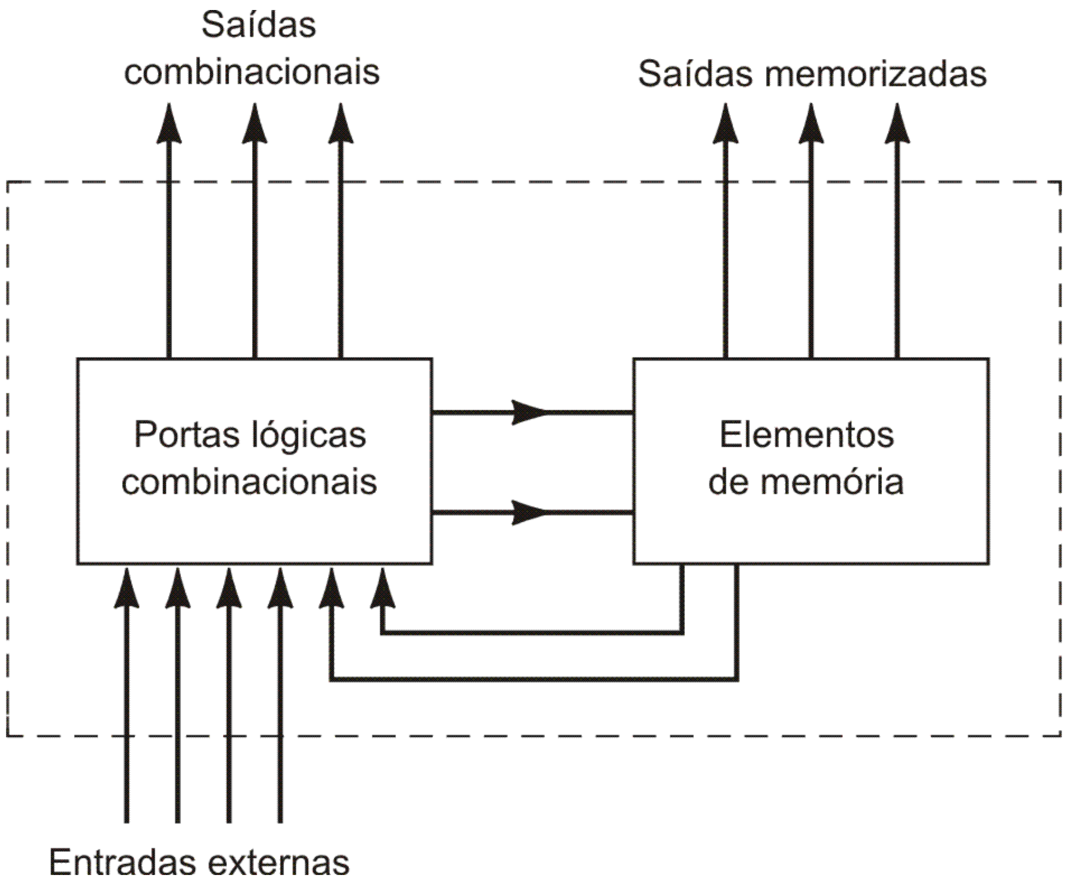
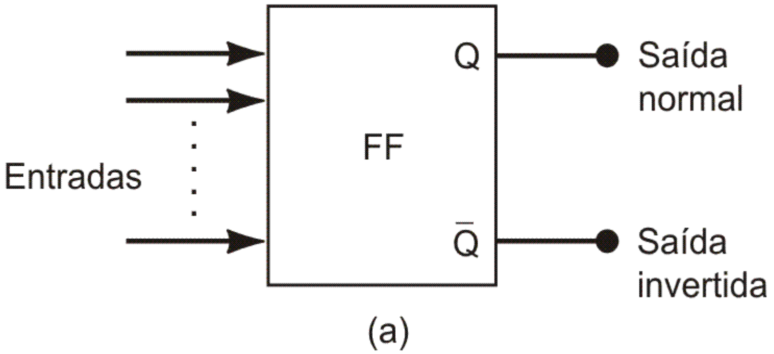

Circuito sem memória
Circuito com memória

Diagrama geral de um sistema digital


Saídas combinacionais
Saídas memorizadas
Portas lógicas combinacionais
Elementos de memória
Entradas externas

Símbolo geral para um flip-flop e definição dos seus dois estados de saída possíveis.



Entradas
FF
Q
$\overline{Q}$
Saída normal
Saída invertida

(a)

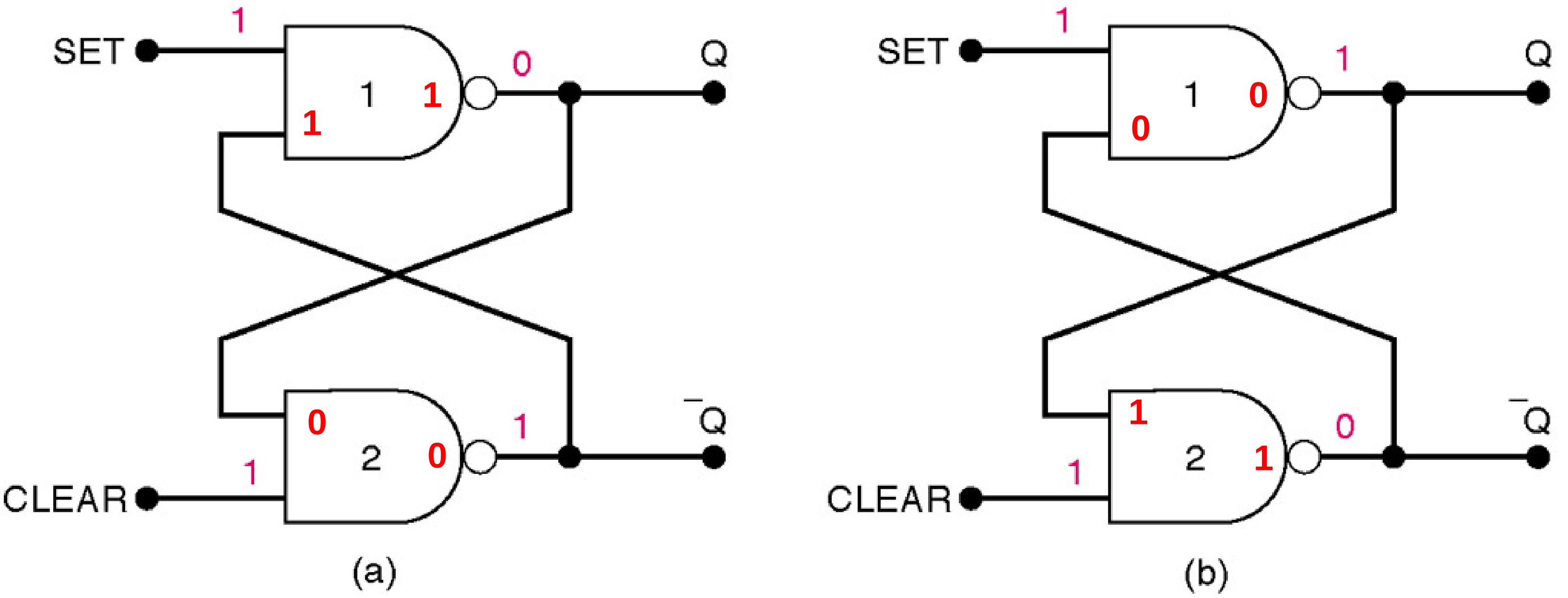
Estados de saída

$Q = 1, \overline{Q} = 0$: denominado estado ALTO ou 1; também chamado de estado SET

$Q = 0, \overline{Q} = 1$: denominado estado BAIXO ou 0; também chamado de estado CLEAR ou RESET

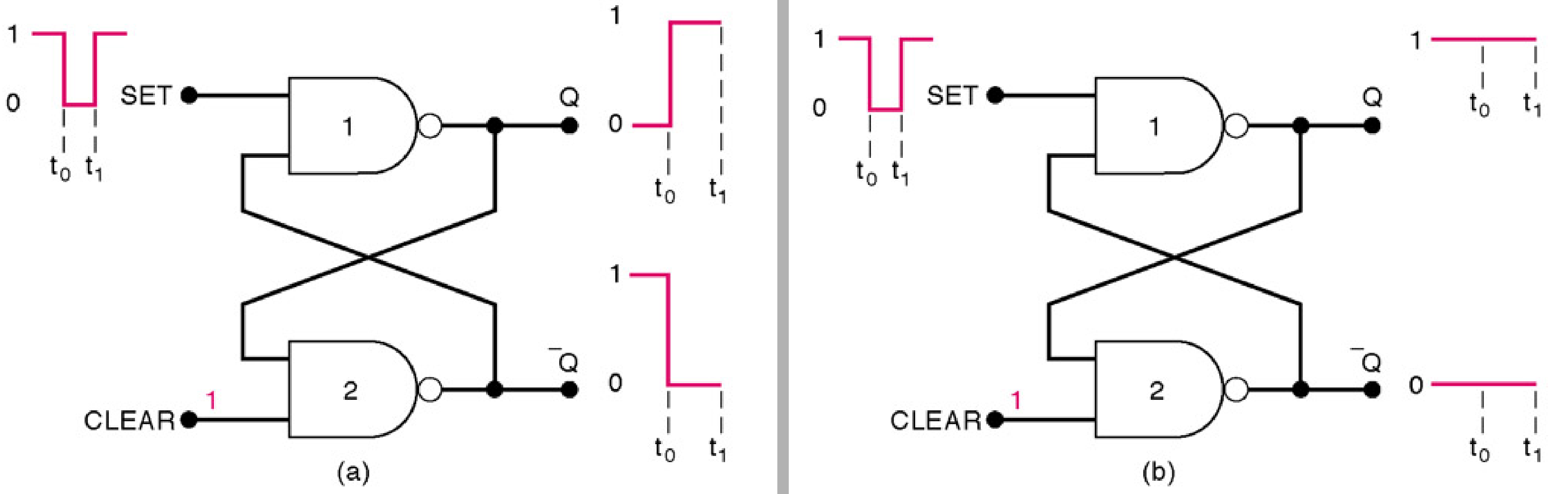
(b)

Um latch com portas NAND tem dois estados de repouso possíveis quando SET = CLEAR = 1.


SET
1
1
1
0
Q
1
2
0
0
1
Q̄
1
CLEAR
(a)
SET
1
1
0
0
1
Q
2
1
1
0
Q̄
1
CLEAR
(b)

Pulsando a entrada SET para o estado 0 quando
(a) Q=0 antes do pulso na entrada SET;
(b) Q=1 antes do pulso na entrada SET.

Observe que nos dois casos a saída Q termina em nível ALTO.

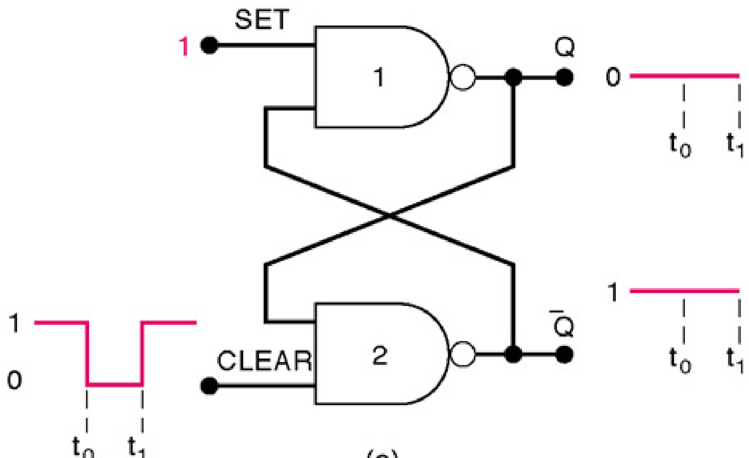


1
0
t_0 t_1
SET
CLEAR
1
1
2
Q
$\bar{Q}$
1
0
t_0 t_1
1
0
t_0 t_1
(a)
1
0
t_0 t_1
SET
CLEAR
1
1
2
Q
$\bar{Q}$
1
t_0 t_1
0
t_0 t_1
(b)

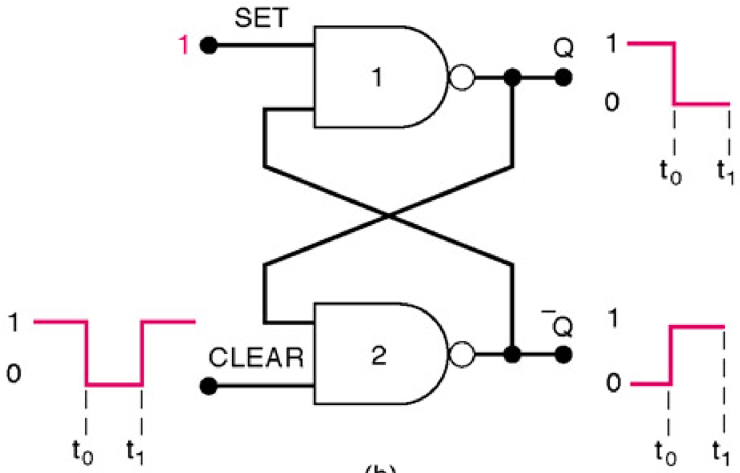
VI Escola do CBPF (www.cbpf.br)

Pulsando a entrada CLEAR para o estado BAIXO quando
(a) Q=0 antes do pulso na entrada CLEAR.
(b) Q=1 antes do pulso na entrada CLEAR.

Em cada caso, a saída Q termina em nível BAIXO.

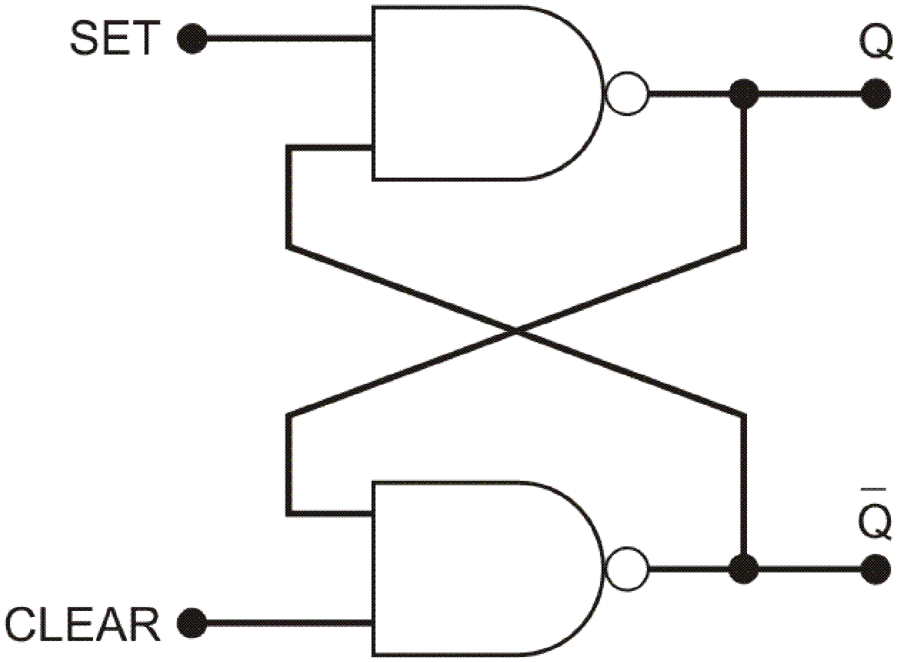

SET
1
1
Q
0
t_0
t_1
1
0
CLEAR
2
$\overline{Q}$
1
t_0
t_1
t_0
t_1

(a)

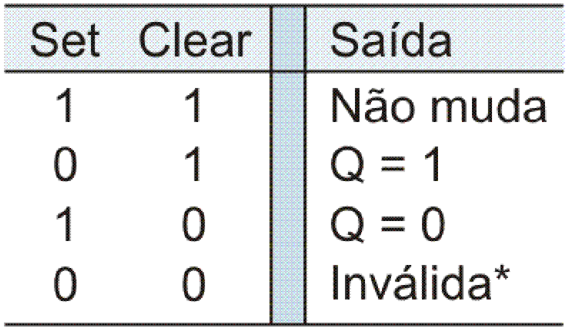

SET
1
1
Q
1
0
t_0
t_1
1
0
CLEAR
2
$\overline{Q}$
1
0
t_0
t_1
t_0
t_1

(b)

(a) Latch com portas NAND; (b) Tabela-verdade.


SET
Q
CLEAR
$\overline{Q}$

(a)

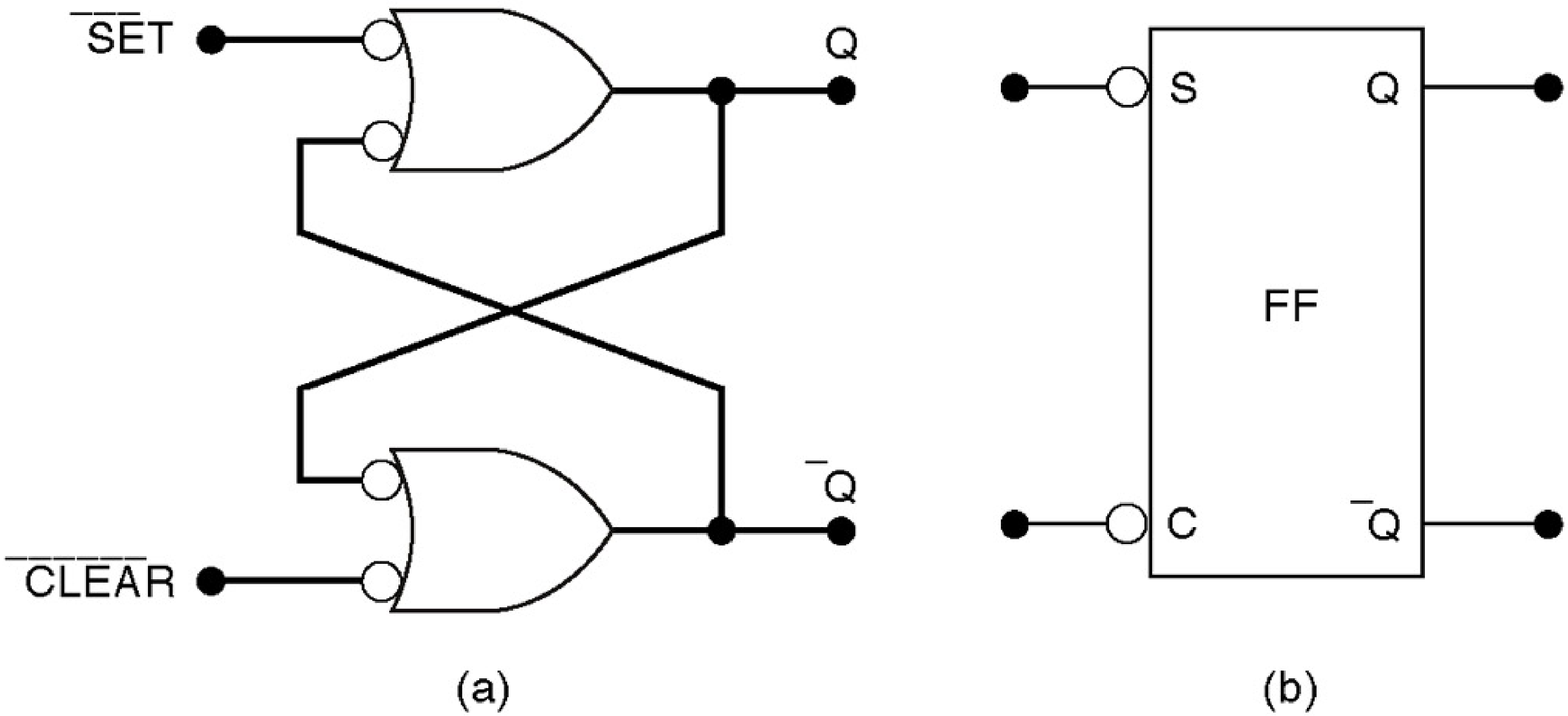


Set	Clear	Saída
1	1	Não muda
0	1	Q = 1
1	0	Q = 0
0	0	Inválida*

*Produz $Q = \overline{Q} = 1$

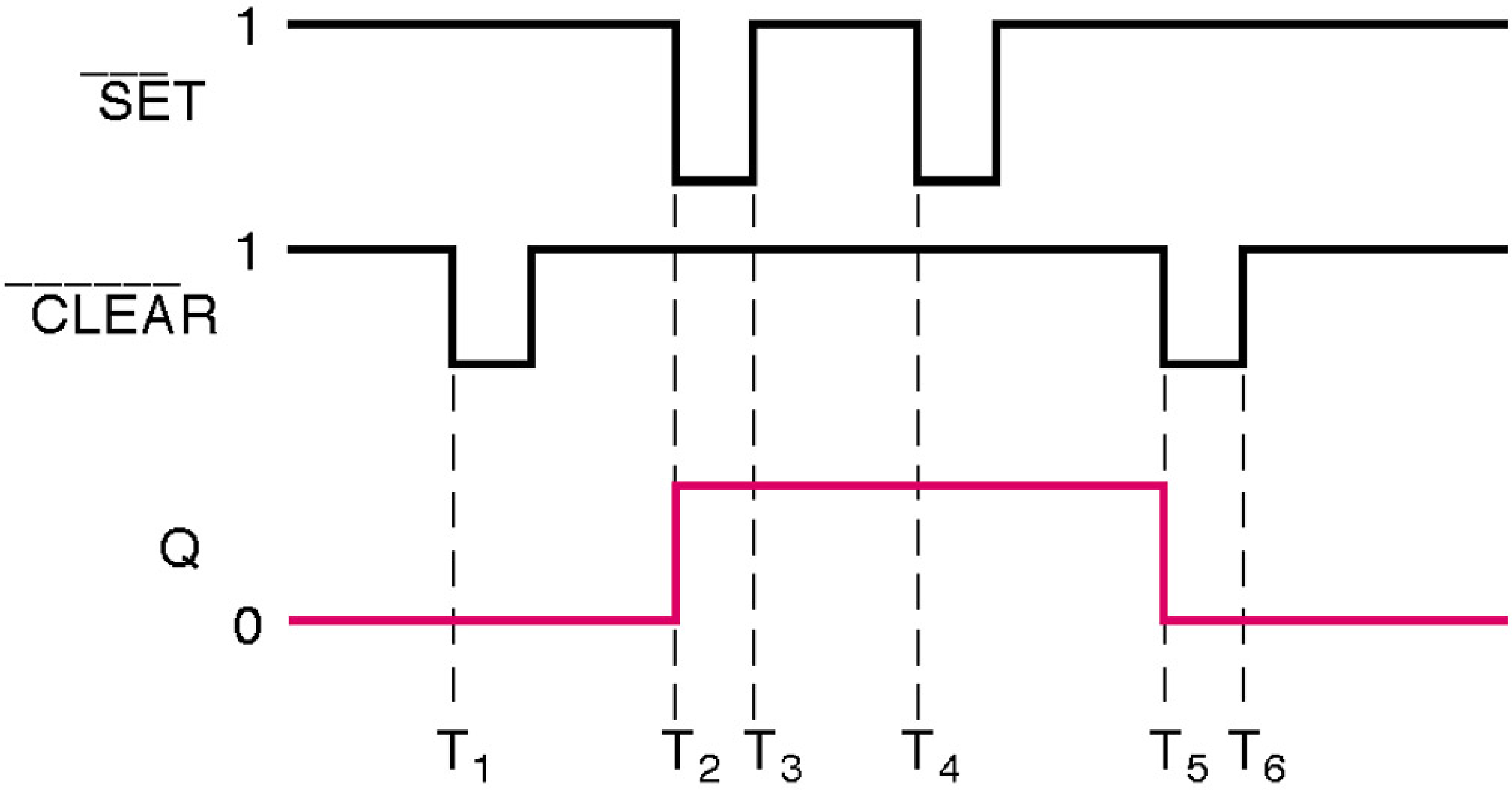
(b)

(a) Representação equivalente de um latch NAND; (b) símbolo simplificado .

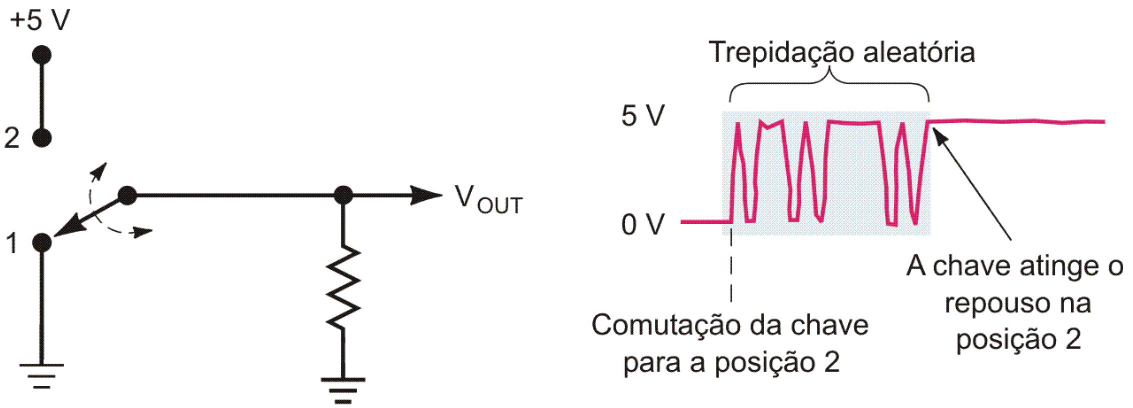

$\overline{\text{SET}}$
Q
$\overline{Q}$
$\overline{\text{CLEAR}}$
S
Q
FF
C
$\overline{Q}$

(a)

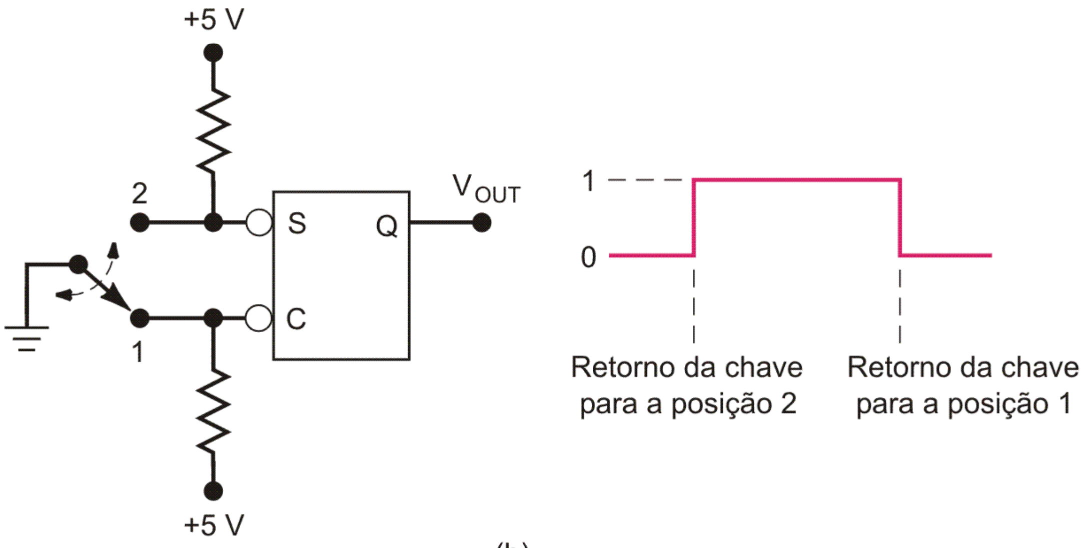
(b)


1
$\overline{SET}$
1
$\overline{CLEAR}$
Q
0
T_1
T_2
T_3
T_4
T_5
T_6

(a) A trepidação de um contato mecânico gera múltiplas transições na tensão; (b) latch NAND usado para eliminar as múltiplas transições na tensão.

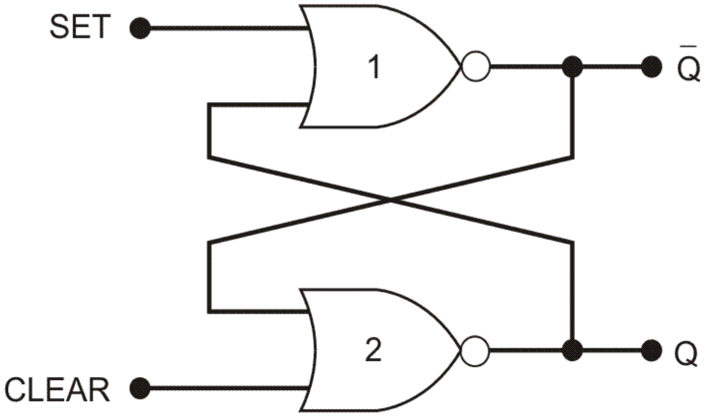

+5 V
2
1
V_{OUT}
Trepidação aleatória
5 V
0 V
Comutação da chave para a posição 2
A chave atinge o repouso na posição 2

(a)


+5 V
2
S
Q
V_{OUT}
C
1
+5 V
1
0
Retorno da chave para a posição 2
Retorno da chave para a posição 1

(b)

(a) latch com portas NOR;
(b) Tabela-verdade;
(c) Símbolo simplificado.

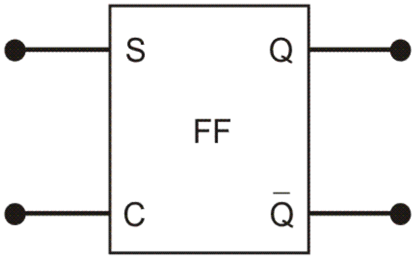

SET
1
$\overline{Q}$
2
Q
CLEAR

(a)

Set	Clear	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

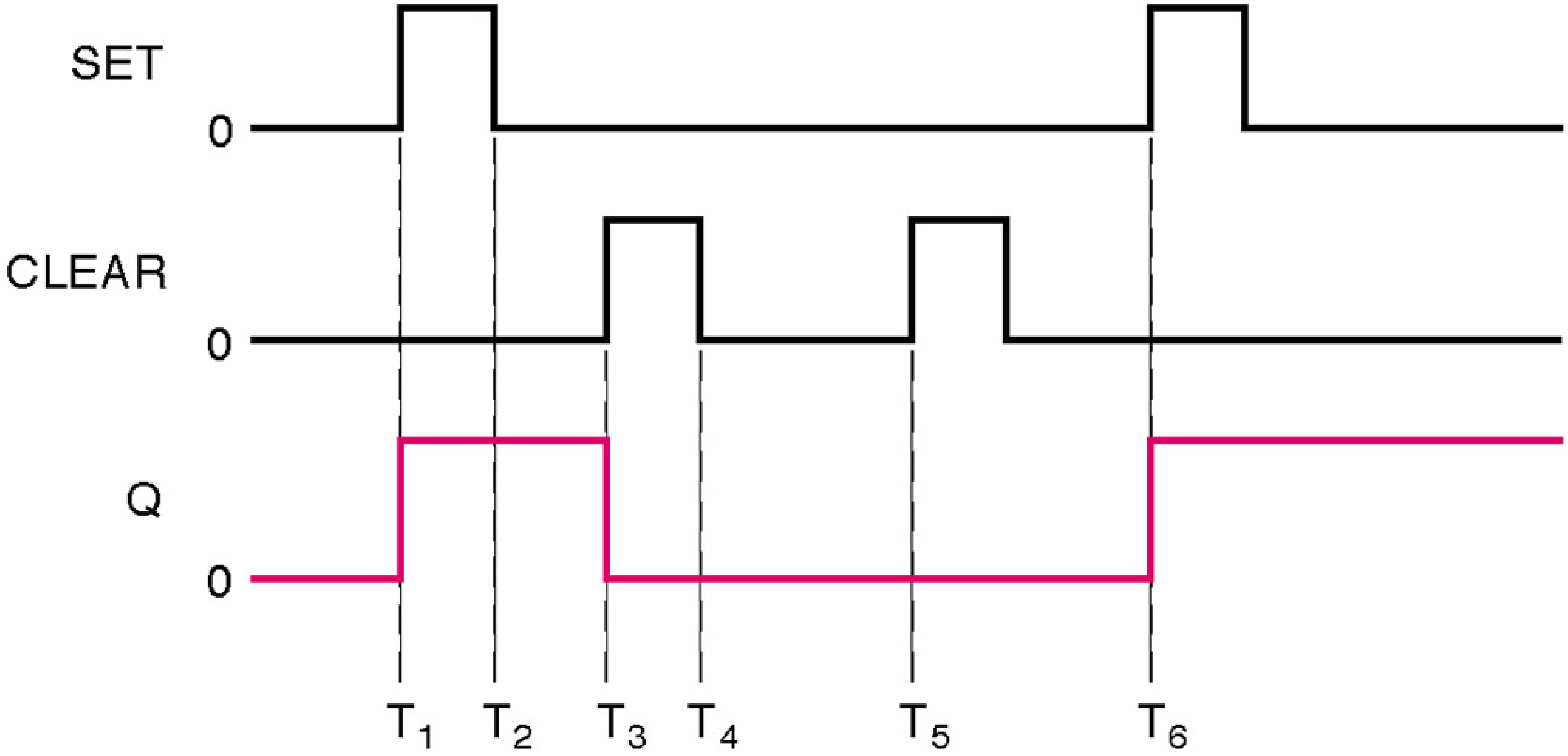
*produz $Q = \overline{Q} = 0$

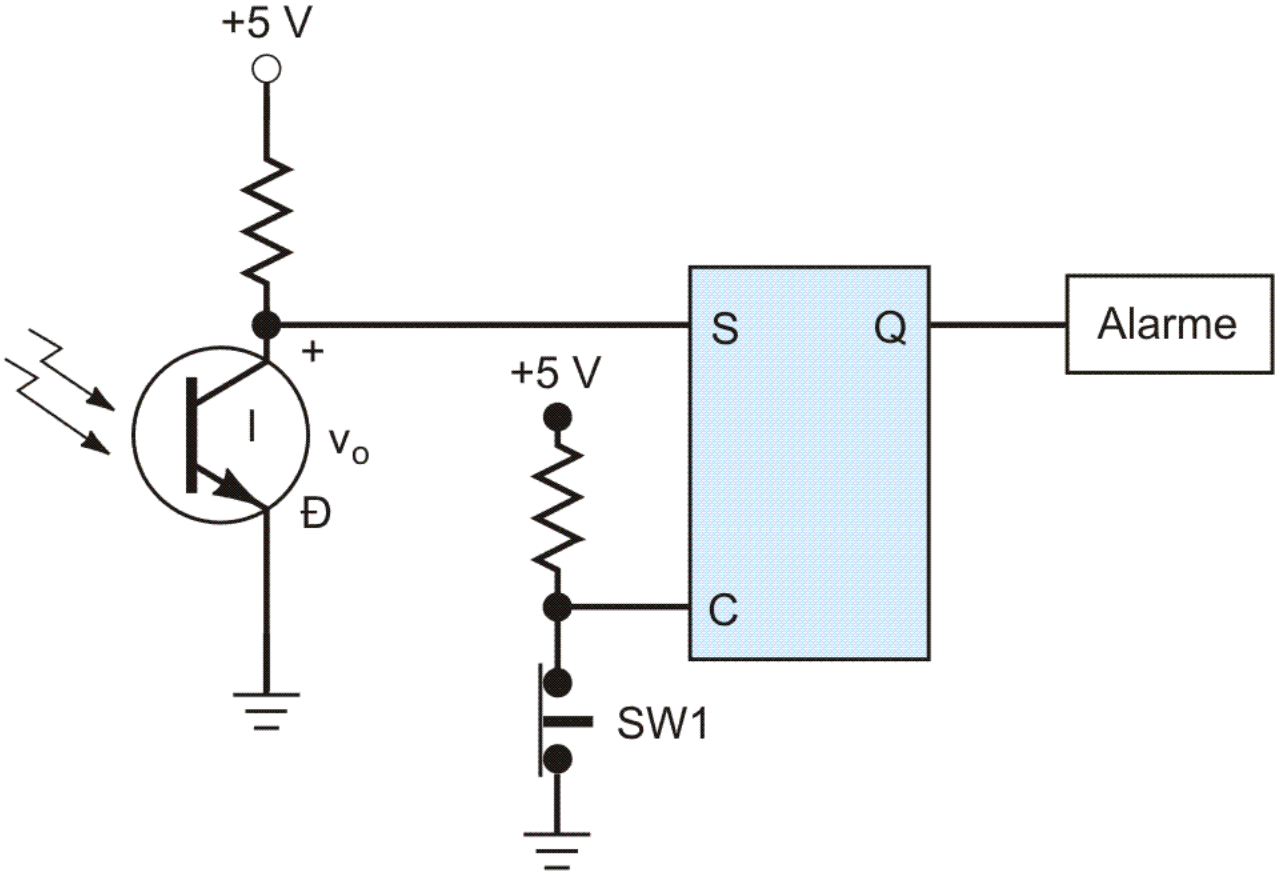
(b)


S
Q
FF
C
$\overline{Q}$

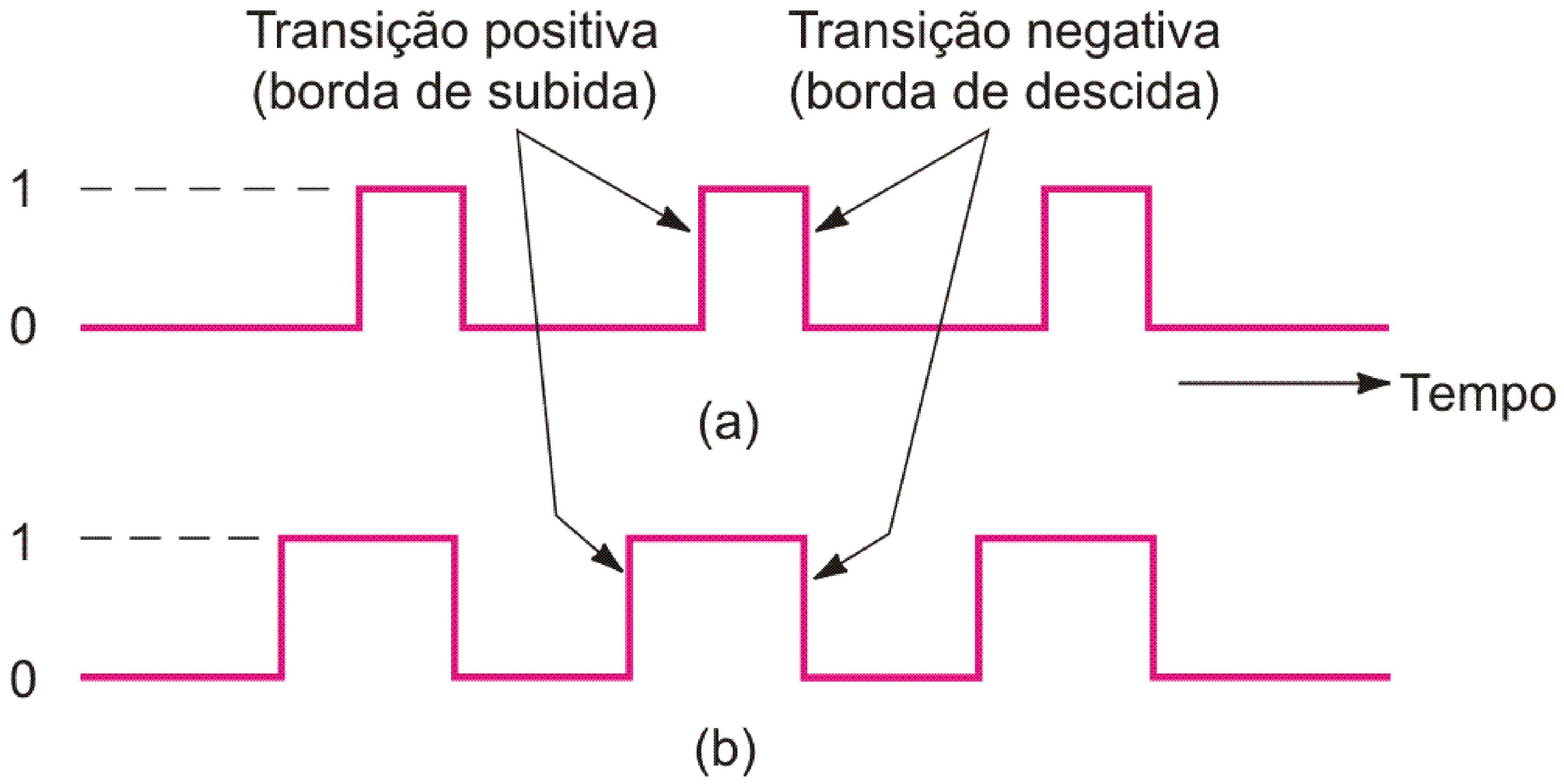
(c)

FIGURA 5-11 Exemplo 5-3.

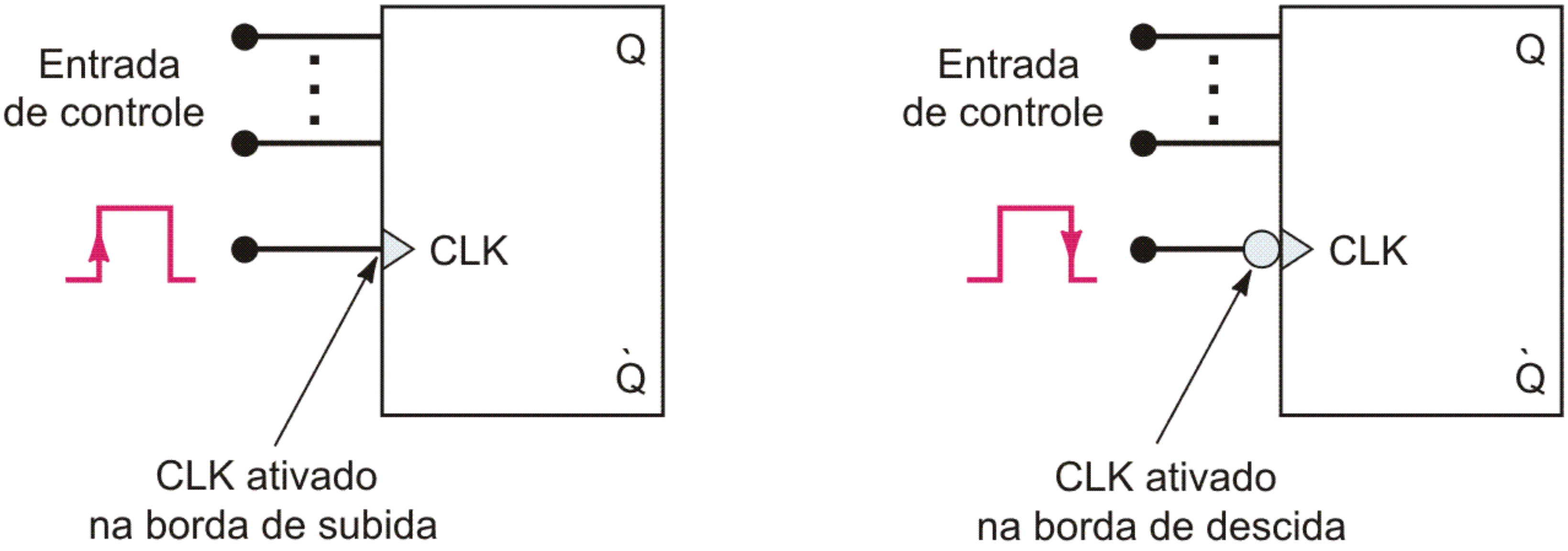

SET
0
CLEAR
0
Q
0
T_1
T_2
T_3
T_4
T_5
T_6


+5 V
+
I
v_o
Đ
+5 V
S
Q
C
Alarme
SW1

Conceitos: Sinais de "clock".


Transição positiva
(borda de subida)
Transição negativa
(borda de descida)
1
0
(a)
Tempo
1
0
(b)

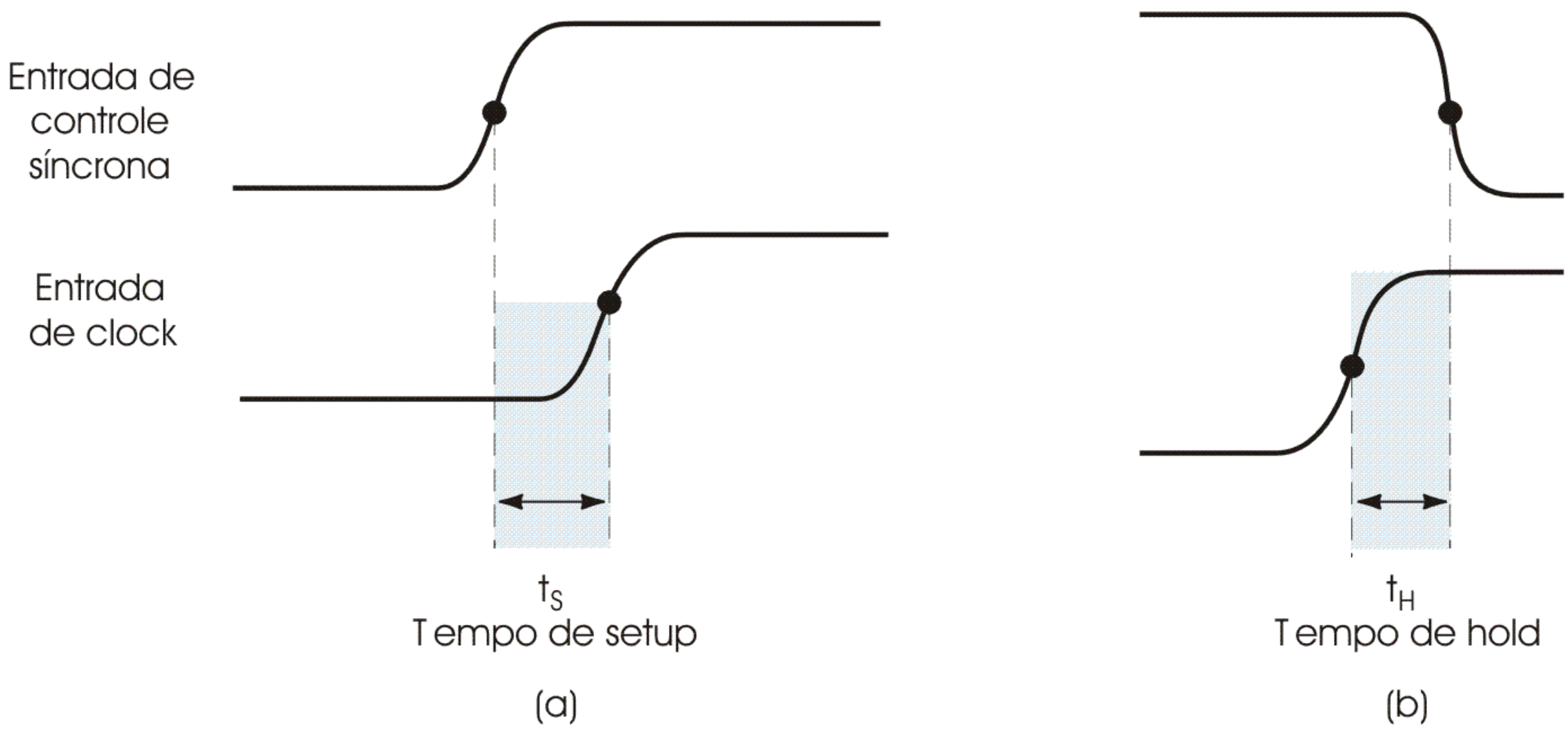
Flip-flop com clock tem uma entrada de clock (CLK) que pode ser ativada por (a) uma borda de subida ou (b) por uma borda de descida. As entradas de controle determinam o efeito da transição ativa do clock.


Entrada de controle
Q
CLK
Q̀
CLK ativado na borda de subida
Entrada de controle
Q
CLK
Q̀
CLK ativado na borda de descida

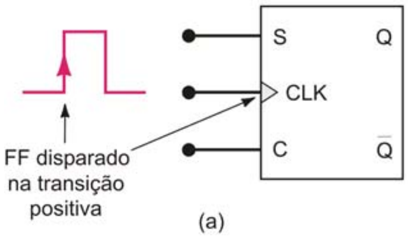
(a)

(b)

Entradas de controle tem de ser mantidas estáveis por (a) um tempo t_S antes da transição ativa do clock e por (b) um tempo t_H após a transição ativa do clock.


Entrada de controle síncrona
Entrada de clock
t_S
Tempo de setup
(a)
t_H
Tempo de hold
(b)

(a) Flip-flop S-C com disparo que responde apenas à borda positiva do pulso de clock; (b) tabela-verdade; (c) forma de ondas típicas.

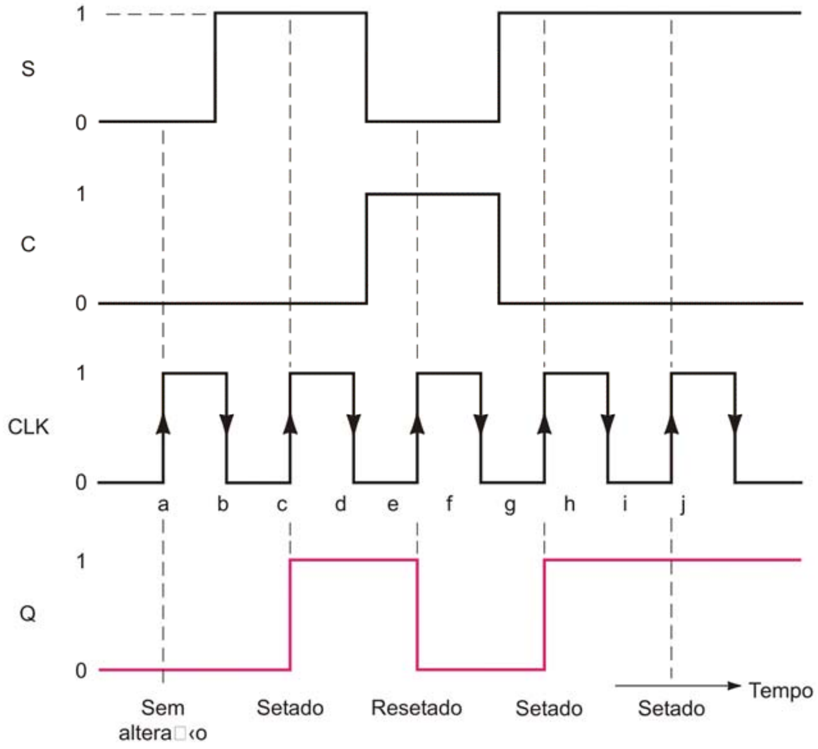

S
Q
CLK
C
$\overline{Q}$
FF disparado
na transição
positiva

(a)

Entradas			Saídas
S	C	CLK	Q
0	0	_	Q_0 (não muda)
1	0	_	1
0	1	_	0
1	1	_	Ambígua

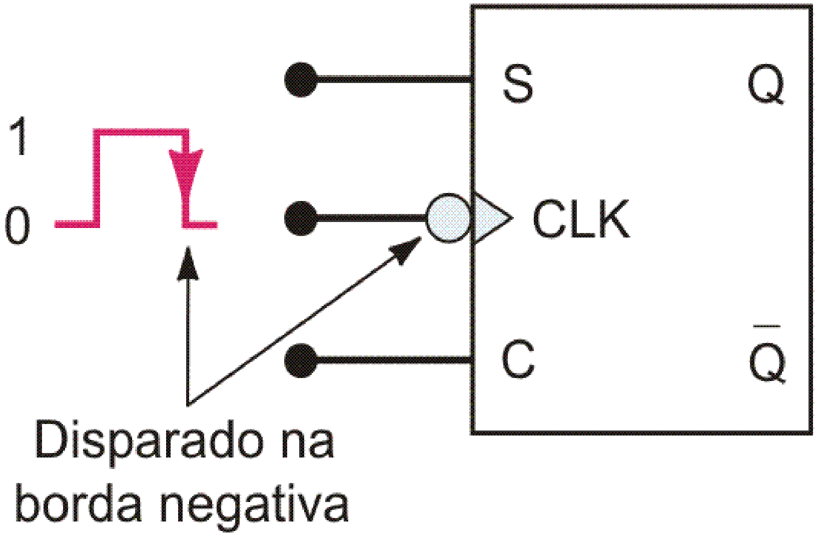
Q_0 é o nível lógico da saída antes da borda de subida (↑) do CLK.
A borda de descida (↓) do CLK não gera mudança na saída Q.

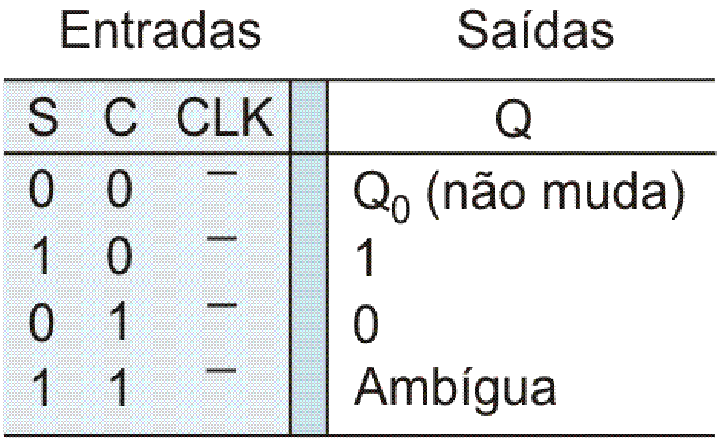
(b)



(c)

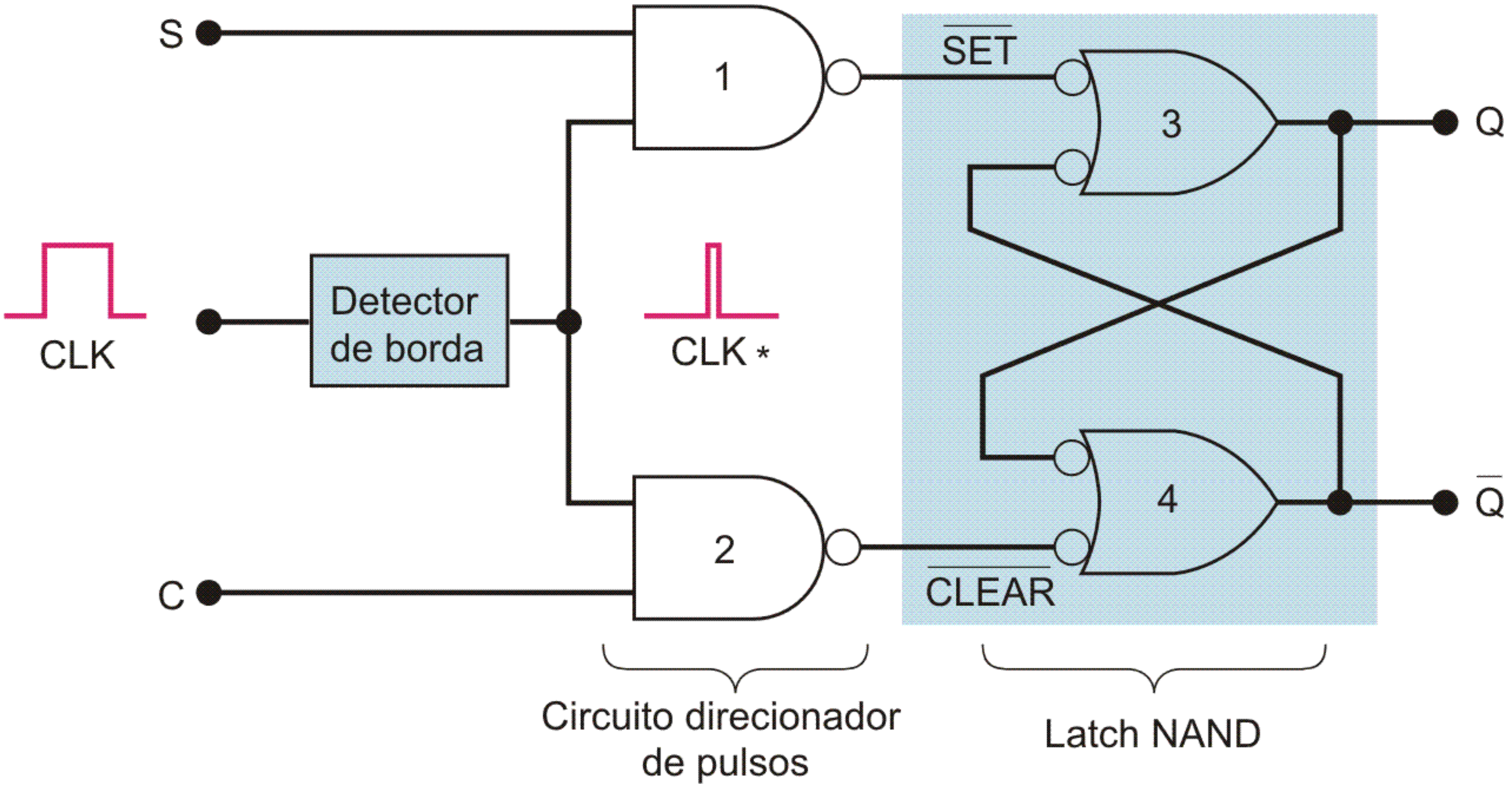
Flip-flop S-C com disparo apenas nas transições negativas do clock.


1
0
S
Q
CLK
C
$\overline{Q}$
Disparado na borda negativa

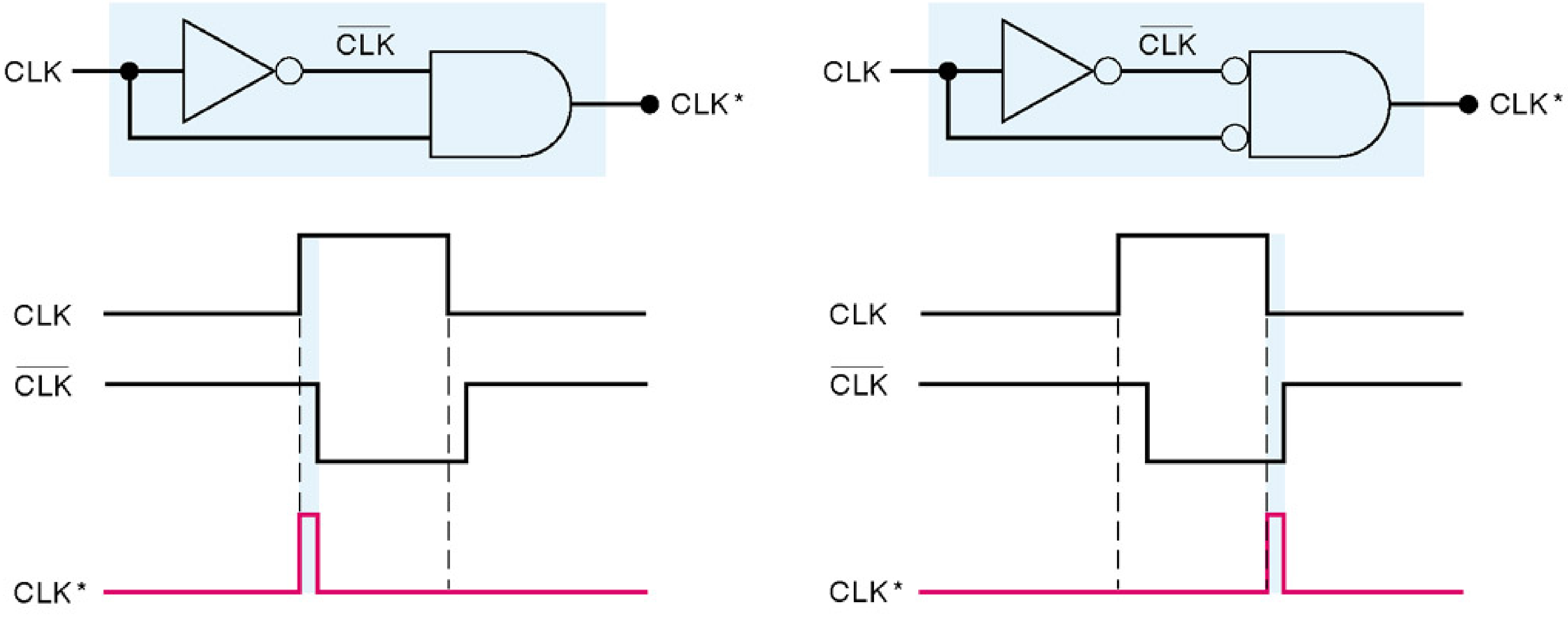


Entradas			Saídas
S	C	CLK	Q
0	0	‾	Q_0 (não muda)
1	0	‾	1
0	1	‾	0
1	1	‾	Ambígua

Versão simplificada do circuito interno de um flip-flop S-C disparado por borda.

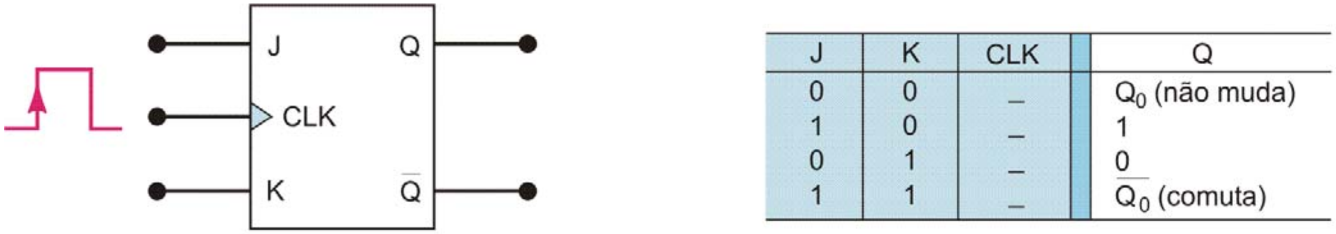

S
CLK
Detector de borda
CLK *
C
1
2
$\overline{\text{SET}}$
$\overline{\text{CLEAR}}$
3
4
Q
$\overline{\text{Q}}$
Circuito direcionador de pulsos
Latch NAND

Implementação de um circuito detector de borda usado em flip-flops disparados por bordas: (a) borda positiva. (b) borda negativa. A duração dos pulsos CLK* é normalmente de 2 a 5 nano segundos.


CLK
$\overline{CLK}$
CLK*
CLK
$\overline{CLK}$
CLK*
CLK
$\overline{CLK}$
CLK*
CLK
$\overline{CLK}$
CLK*

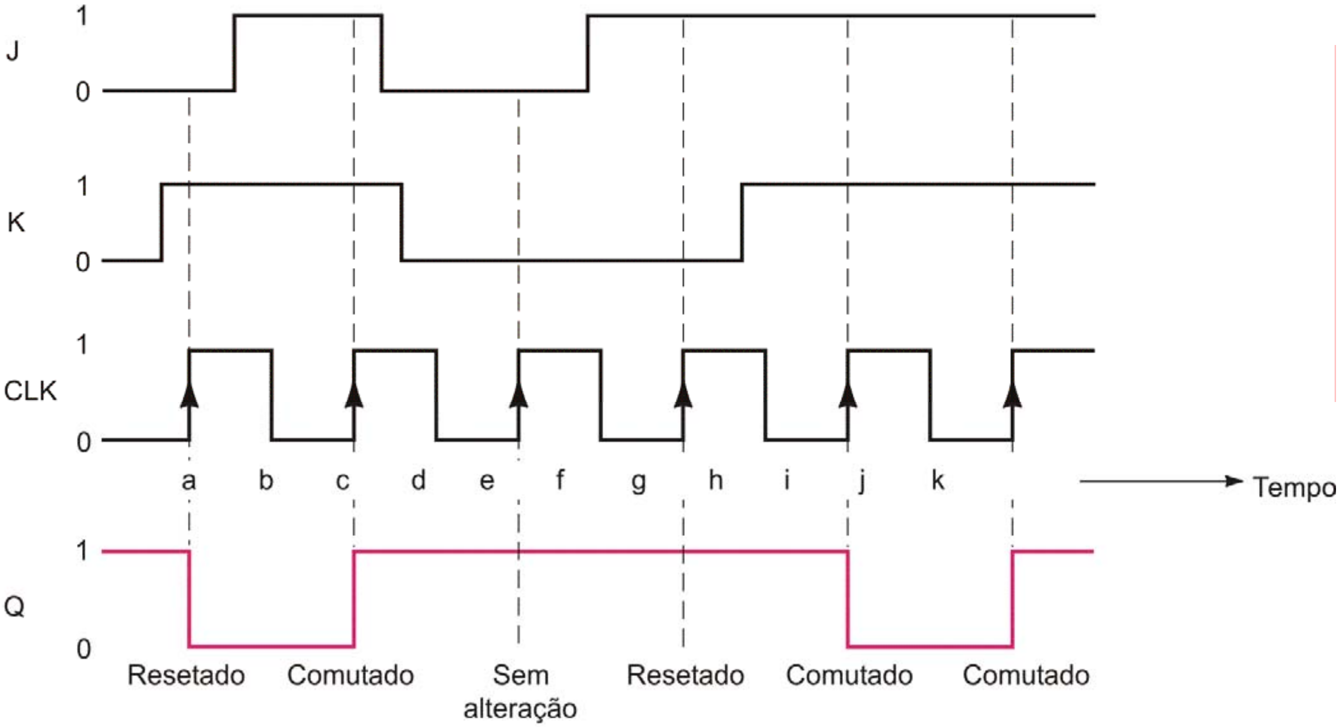
(a) (b)

(a) Flip-flop J-K com clock que responde apenas as bordas positivas do clock.


J
Q
CLK
K
$\overline{Q}$

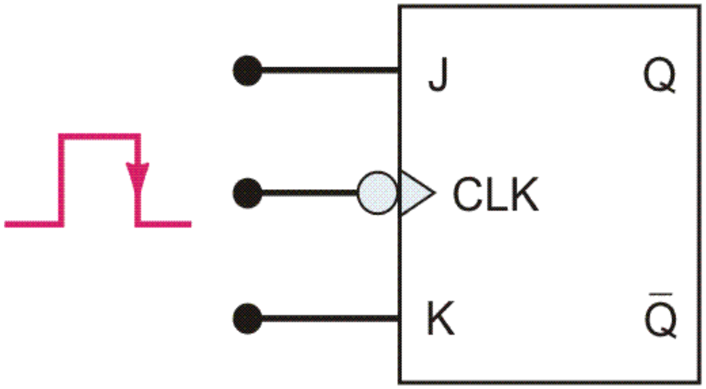
J	K	CLK	Q
0	0	–	Q_0 (não muda)
1	0	–	1
0	1	–	0
1	1	–	$\overline{Q_0}$ (comuta)

(a)


J
1
0
K
1
0
CLK
1
0
a
b
c
d
e
f
g
h
i
j
k
Tempo
Q
1
0
Resetado
Comutado
Sem alteração
Resetado
Comutado
Comutado

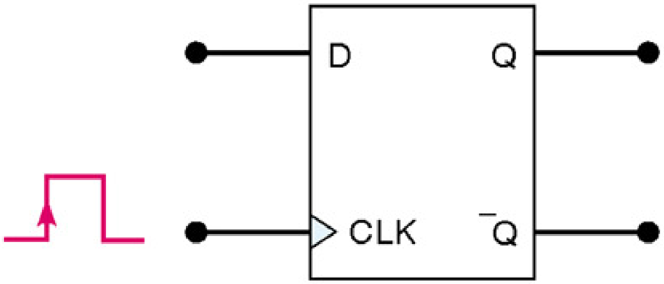
(b)

(a) Flip-flop J-K disparados apenas nas transições negativas do clock.



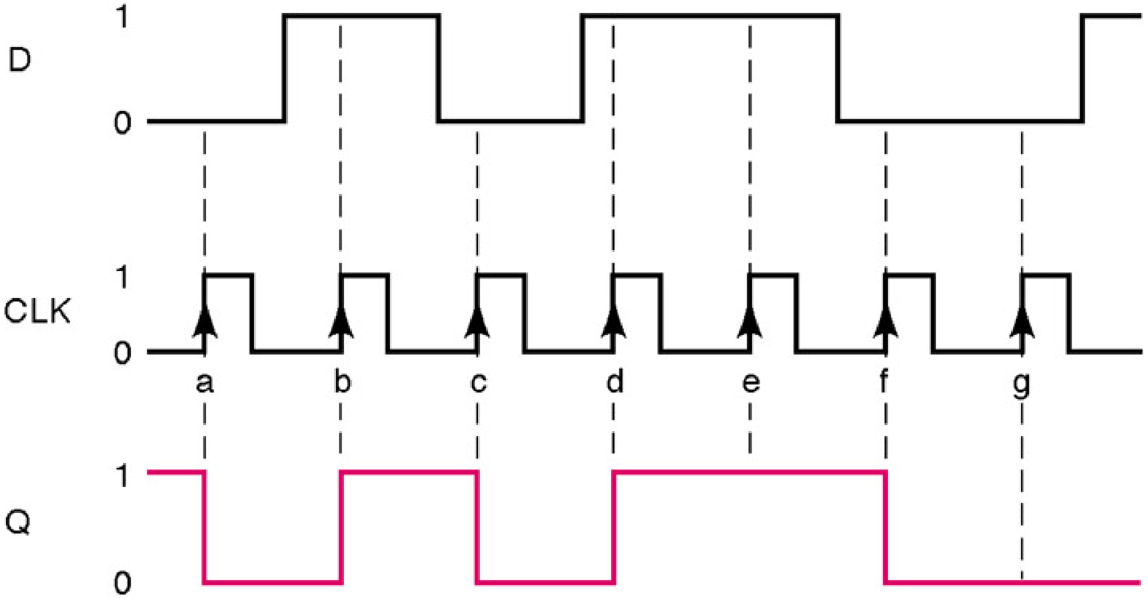
J	K	CLK	Q
0	0	—	Q_0 (não muda)
1	0	—	1
0	1	—	0
1	1	—	$\overline{Q}_0$ (comuta)

(a) flip-flop D disparados apenas nas transições positivas do clock ; (b) Formas de onda.



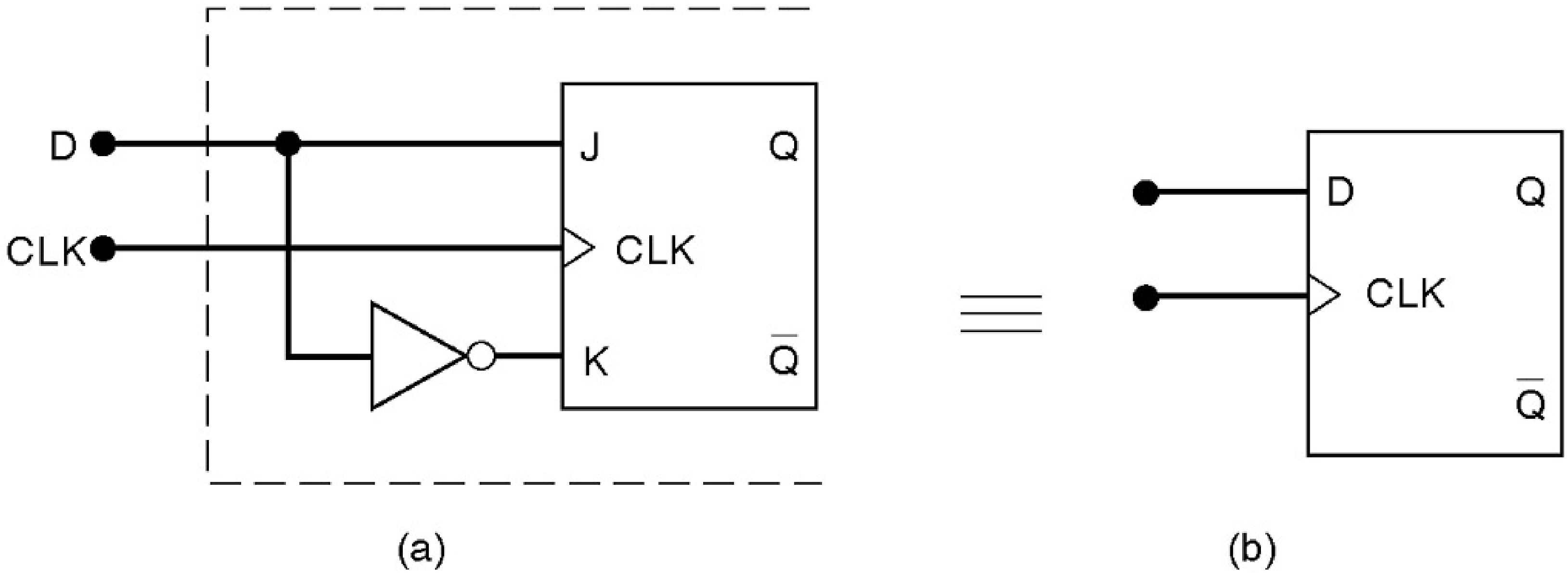
D	CLK	Q
0	↑	0
1	↑	1

(a)


D
1
0
CLK
1
0
a
b
c
d
e
f
g
Q
1
0

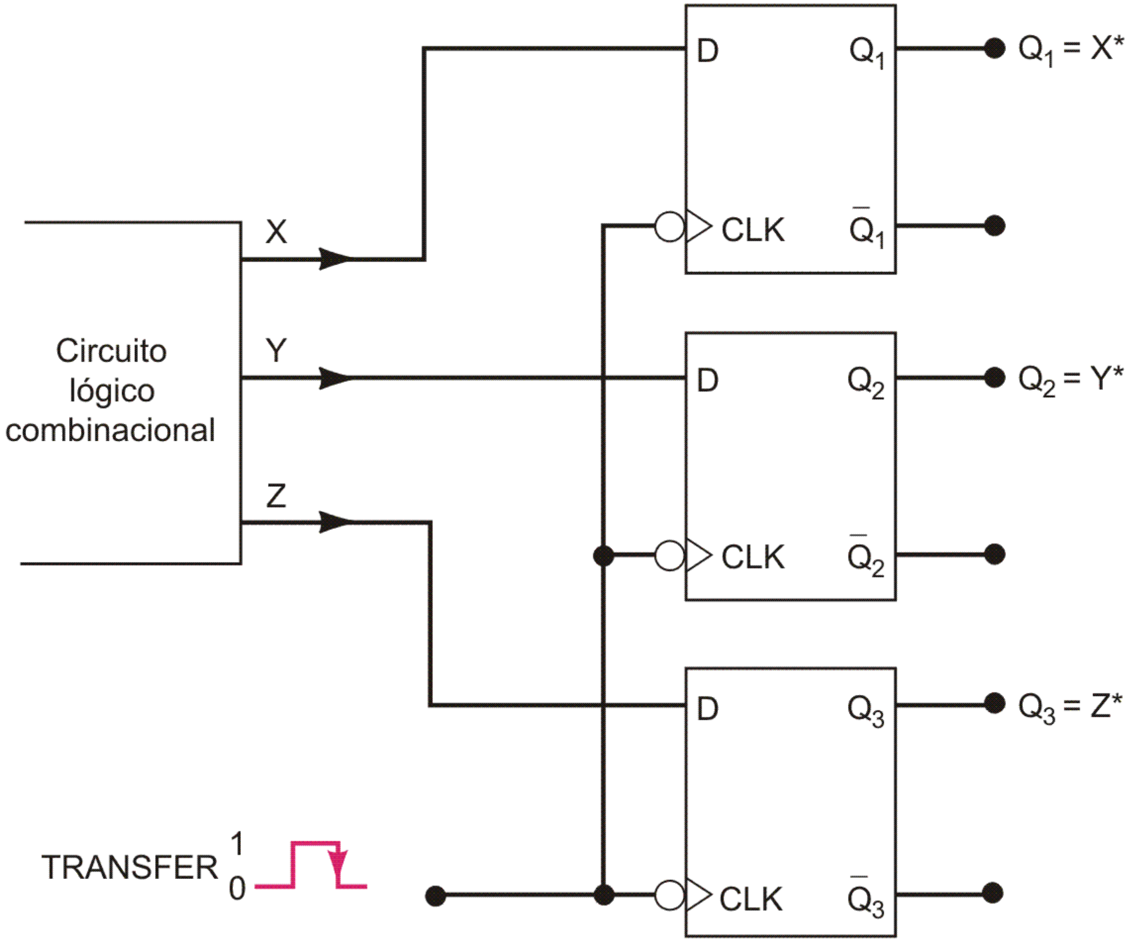
(b)

Implementação de um flip-flop D disparado por borda a partir de um flip-flop J-K.


D
CLK
J
Q
CLK
K
$\overline{Q}$
D
Q
CLK
$\overline{Q}$

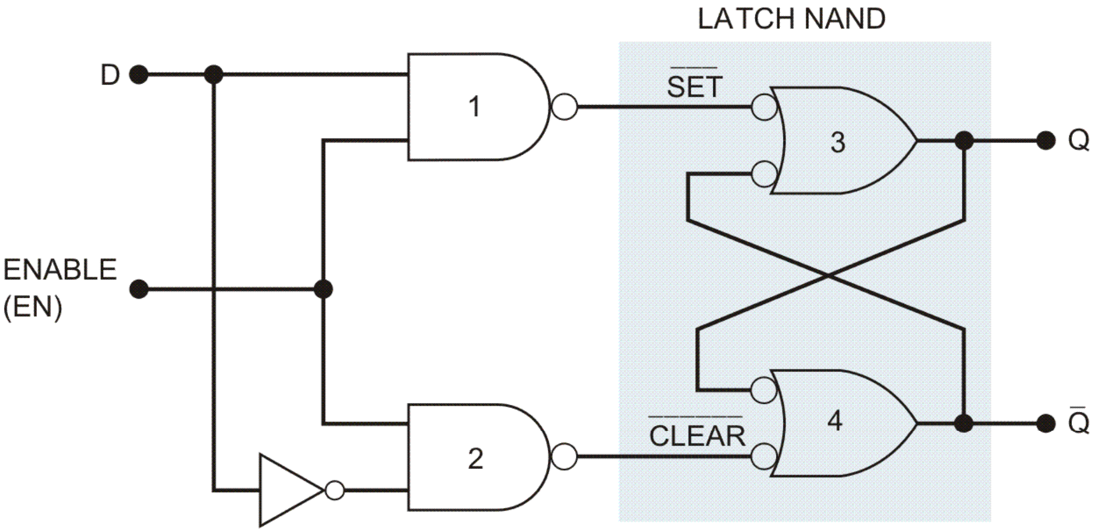
(a) (b)

Transferência de dados em paralelo usando flip-flops D.


D
Q_1
Q_1 = X*
CLK
$\overline{Q}_1$
X
Circuito
lógico
combinacional
Y
D
Q_2
Q_2 = Y*
CLK
$\overline{Q}_2$
Z
D
Q_3
Q_3 = Z*
TRANSFER
1
0
CLK
$\overline{Q}_3$

*Após a ocorrência da borda de descida.

Latch D transparente; (a) estrutura; (b) Tabela-verdade; (c) Símbolo lógico.

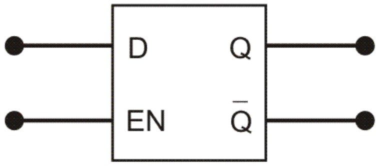

LATCH NAND
D
ENABLE
(EN)
1
2
$\overline{SET}$
$\overline{CLEAR}$
3
4
Q
$\overline{Q}$

(a)

Entradas		Saída
EN	D	Q
0	X	Q_0 (não muda)
1	0	0
1	1	1

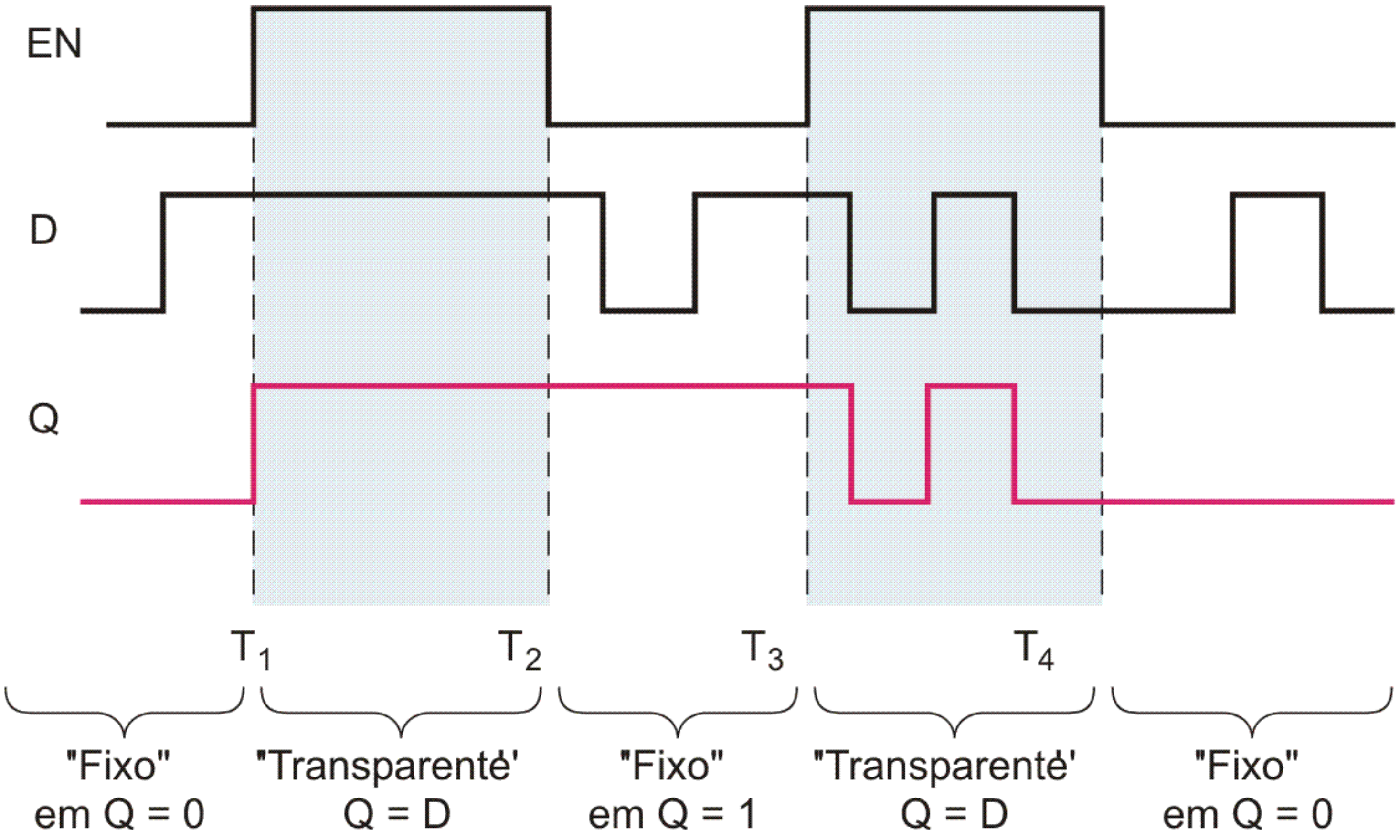
"X" indica a condição "don't care"
Q_0 é o estado de Q imediatamente antes de EN ir para o nível BAIXO

(b)

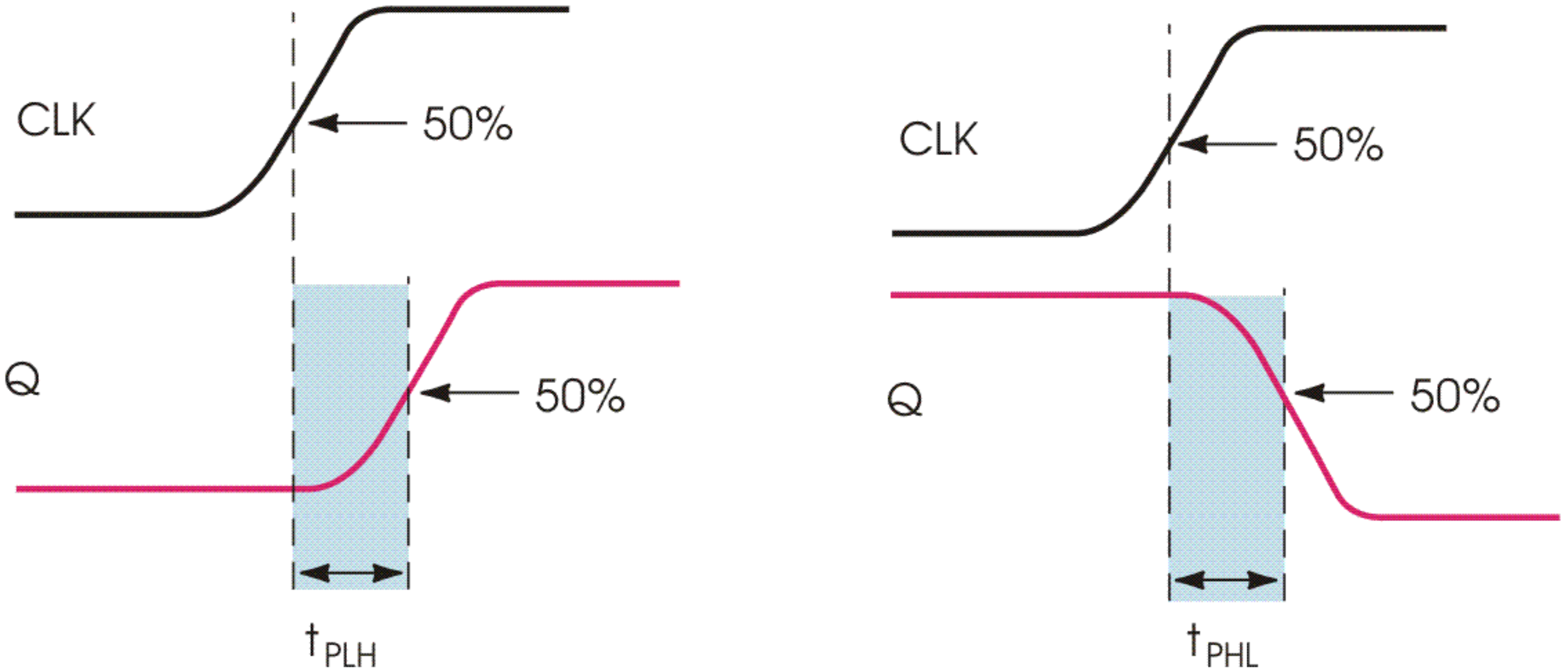

D
Q
EN
$\overline{Q}$

(c)

Formas de onda mostrando os dois modos de operação de um latch D transparente.


EN
D
Q
T_1
T_2
T_3
T_4
"Fixo"
em Q = 0
"Transparente"
Q = D
"Fixo"
em Q = 1
"Transparente"
Q = D
"Fixo"
em Q = 0

Atrasos de propagação nos FFs.


CLK
50%
Q
50%
t_{PLH}
CLK
50%
Q
50%
t_{PHL}

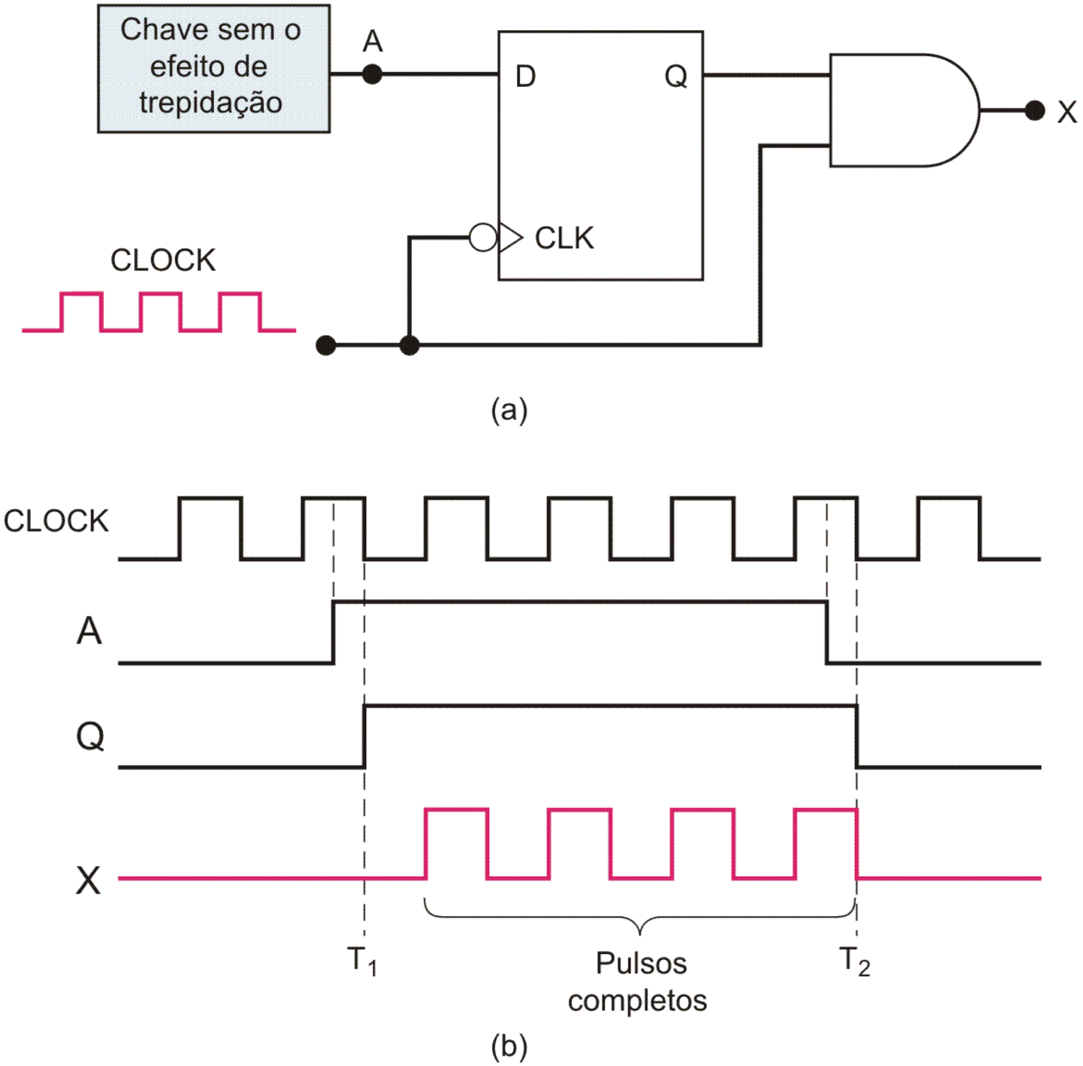
Atraso de programação
de BAIXO para ALTO

(a)

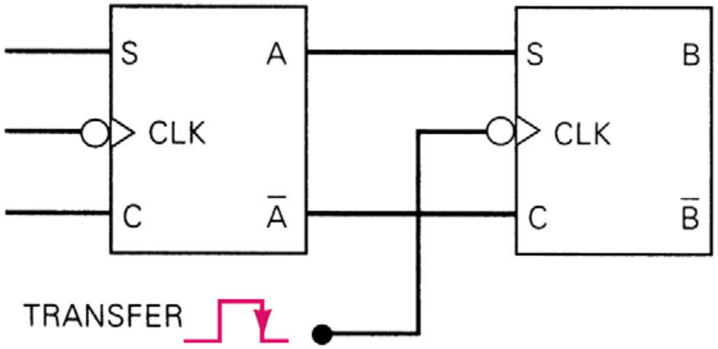
Atraso de programação de
AL TO para BAIXO

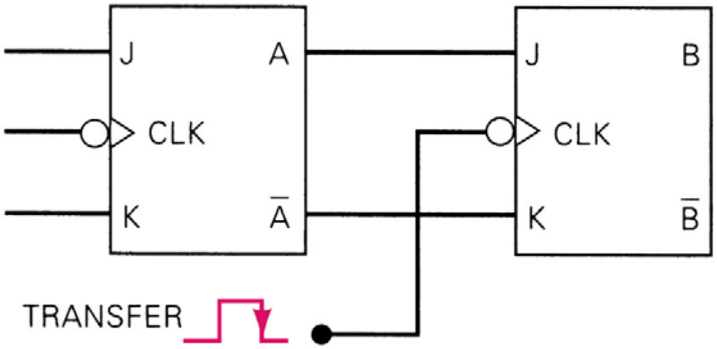
(b)

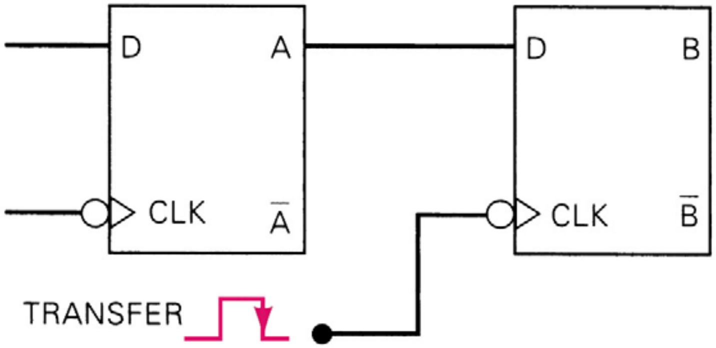
Um *flip-flop D* disparado por bordas é usado para sincronizar a habilitação da porta AND com a borda de descida do clock.


Chave sem o efeito de trepidação
A
D
Q
X
CLOCK
CLK
(a)
CLOCK
A
Q
X
T1
Pulsos completos
T2
(b)

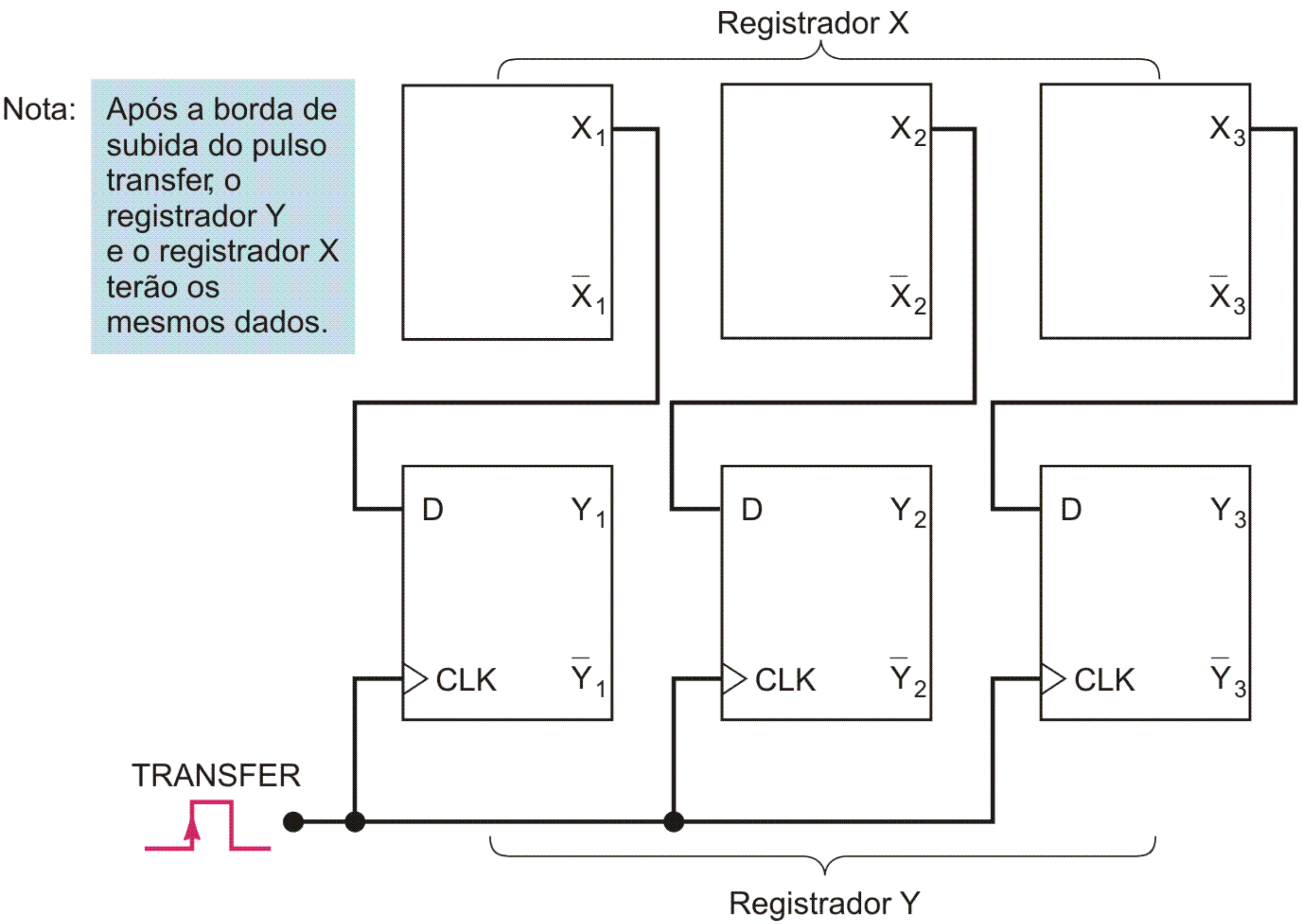
Operação de transferência síncrona de dados realizada por diversos tipos de FFs com clock.


S
A
CLK
C
$\bar{A}$
S
B
CLK
C
$\bar{B}$
TRANSFER


J
A
CLK
K
$\bar{A}$
J
B
CLK
K
$\bar{B}$
TRANSFER


D
A
CLK
$\bar{A}$
D
B
CLK
$\bar{B}$
TRANSFER

Transferência paralela do conteúdo do registrador *X* para o registrador *Y*.

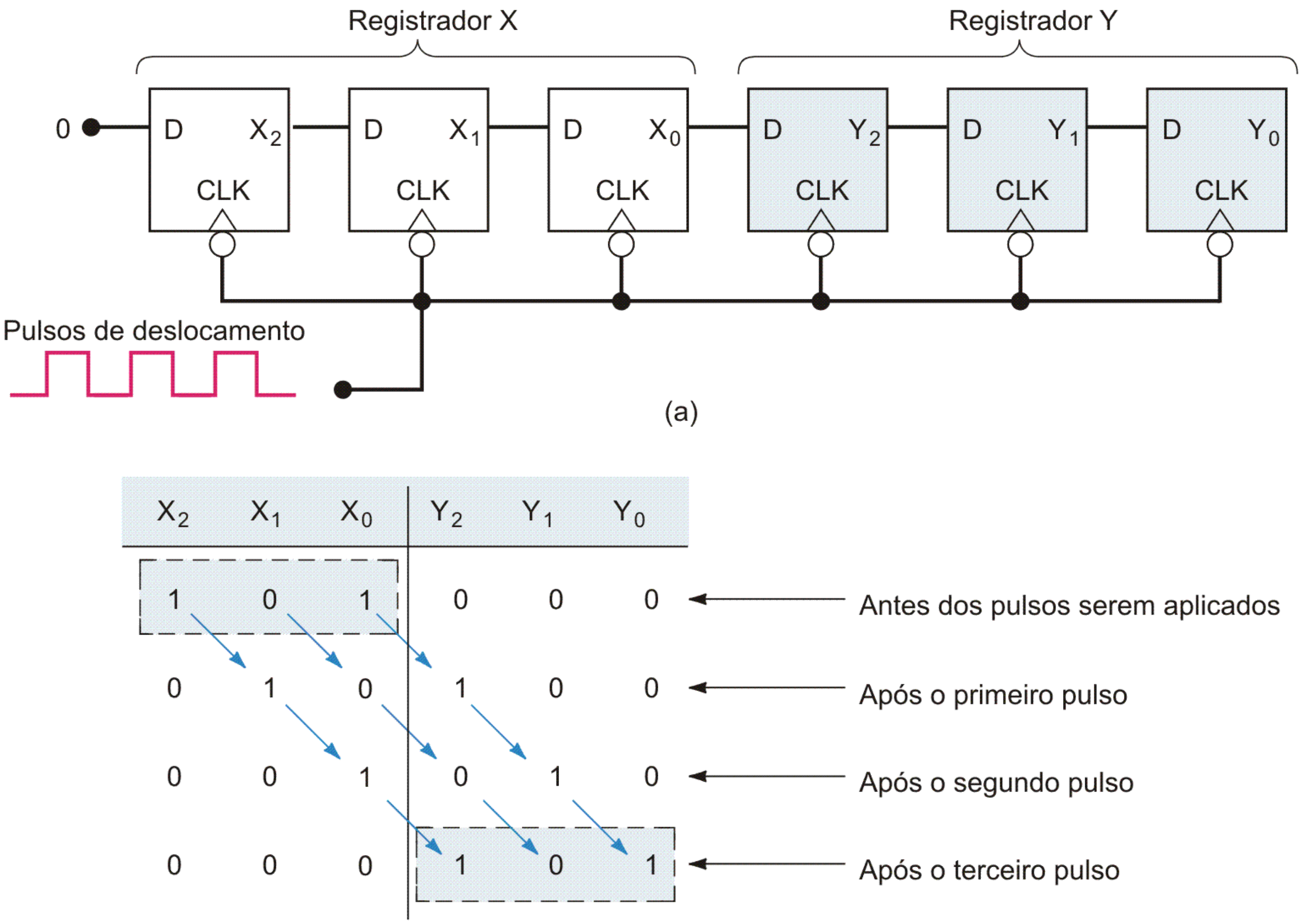


Registrador X
X_1
$\overline{X}_1$
X_2
$\overline{X}_2$
X_3
$\overline{X}_3$
D
Y_1
CLK
$\overline{Y}_1$
D
Y_2
CLK
$\overline{Y}_2$
D
Y_3
CLK
$\overline{Y}_3$
TRANSFER
Registrador Y

Nota: Após a borda de subida do pulso transfer, o registrador Y e o registrador X terão os mesmos dados.

VI Escola do CBPF (www.cbpf.br)

Transferência serial de dados de um registrador *X* para um registrador *Y*.



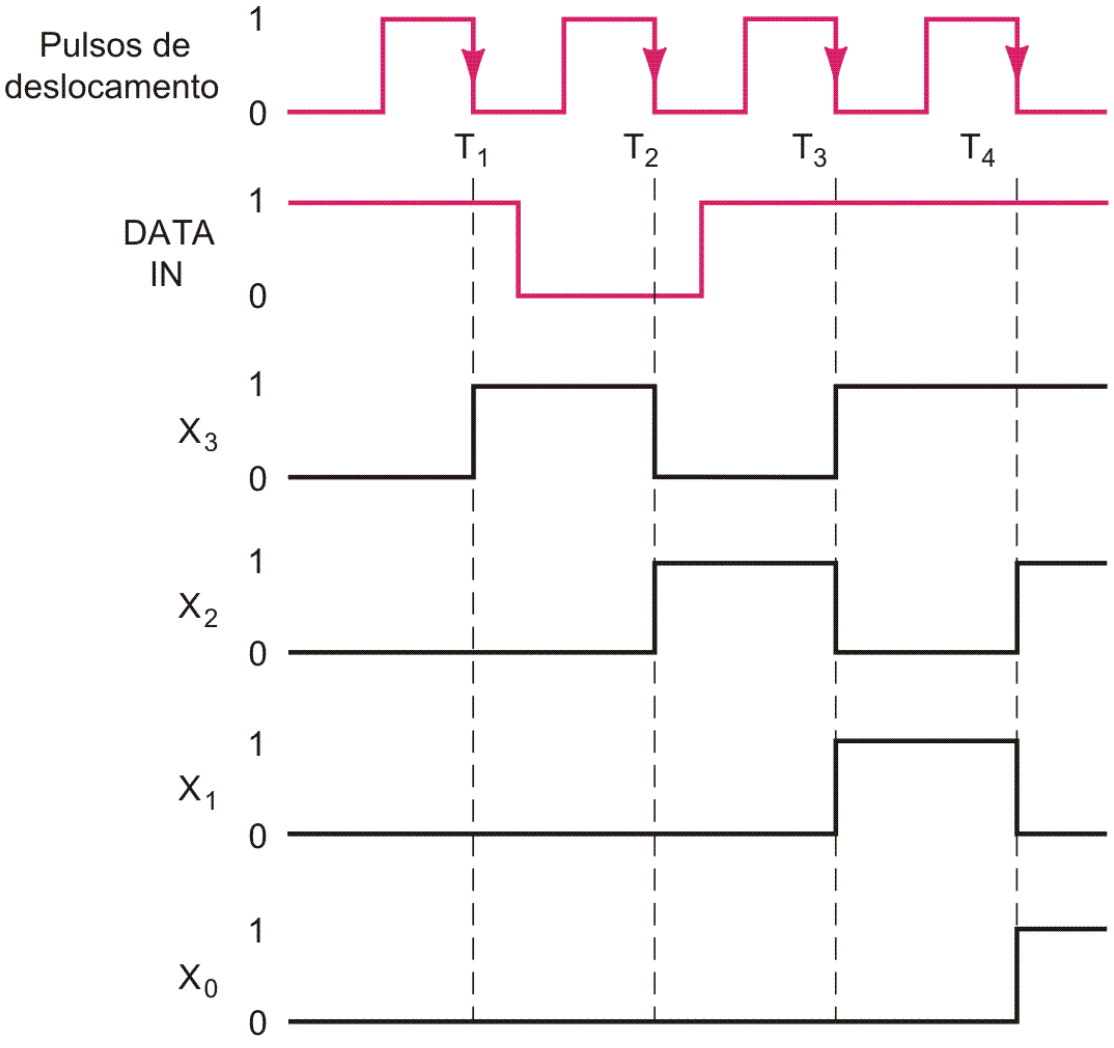
Registrador X
Registrador Y
0
D
X_2
CLK
D
X_1
CLK
D
X_0
CLK
D
Y_2
CLK
D
Y_1
CLK
D
Y_0
CLK
Pulsos de deslocamento

(a)

X_2	X_1	X_0	Y_2	Y_1	Y_0	
1	0	1	0	0	0	← Antes dos pulsos serem aplicados
0	1	0	1	0	0	← Após o primeiro pulso
0	0	1	0	1	0	← Após o segundo pulso
0	0	0	1	0	1	← Após o terceiro pulso

(b)

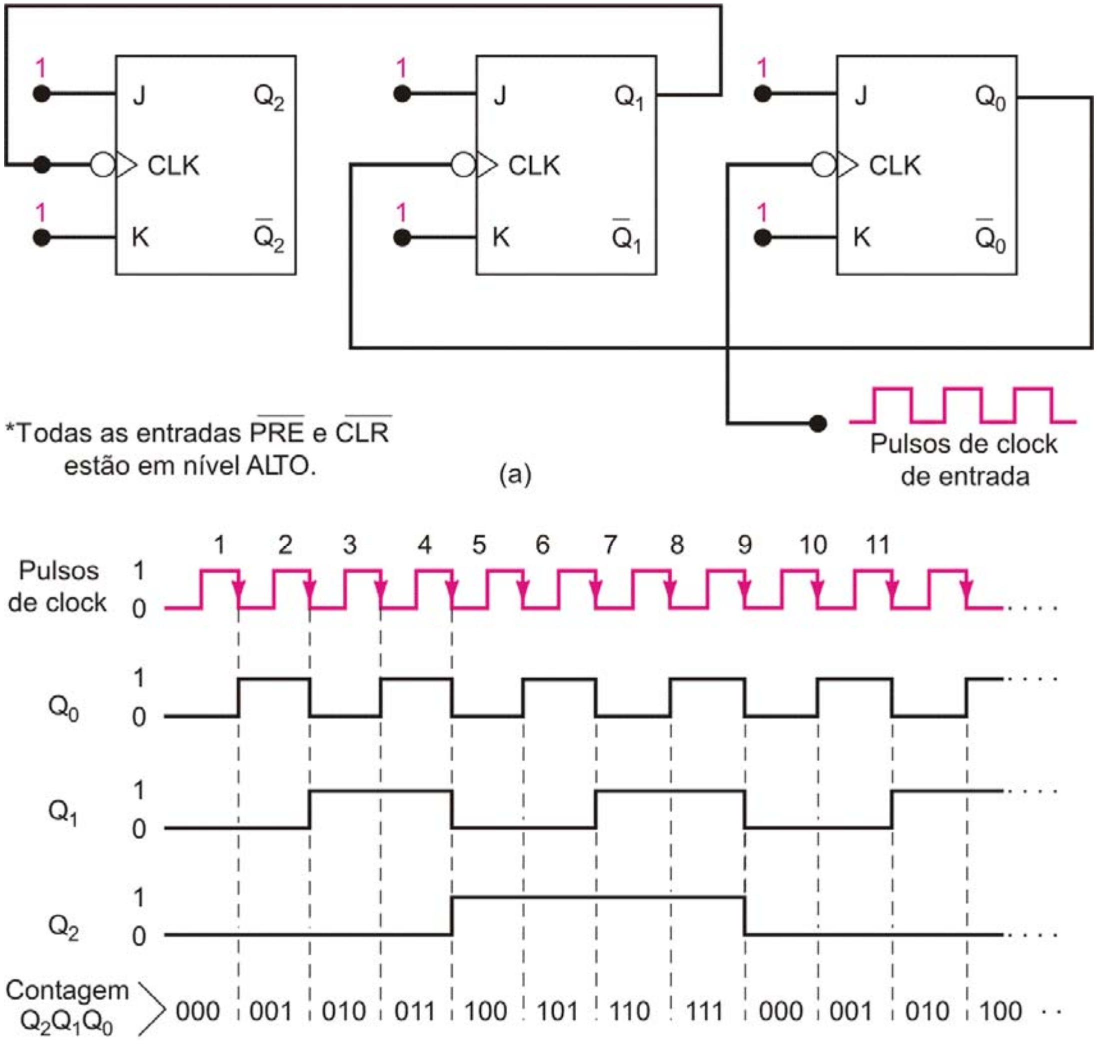
Registrador de deslocamento de quatro bits.



Pulsos de deslocamento
1
0
T1
T2
T3
T4
DATA IN
1
0
X3
1
0
X2
1
0
X1
1
0
X0
1
0

(b)

Flip-flops *J-K* conectados para formar um contador binário de três bits (módulo 8).

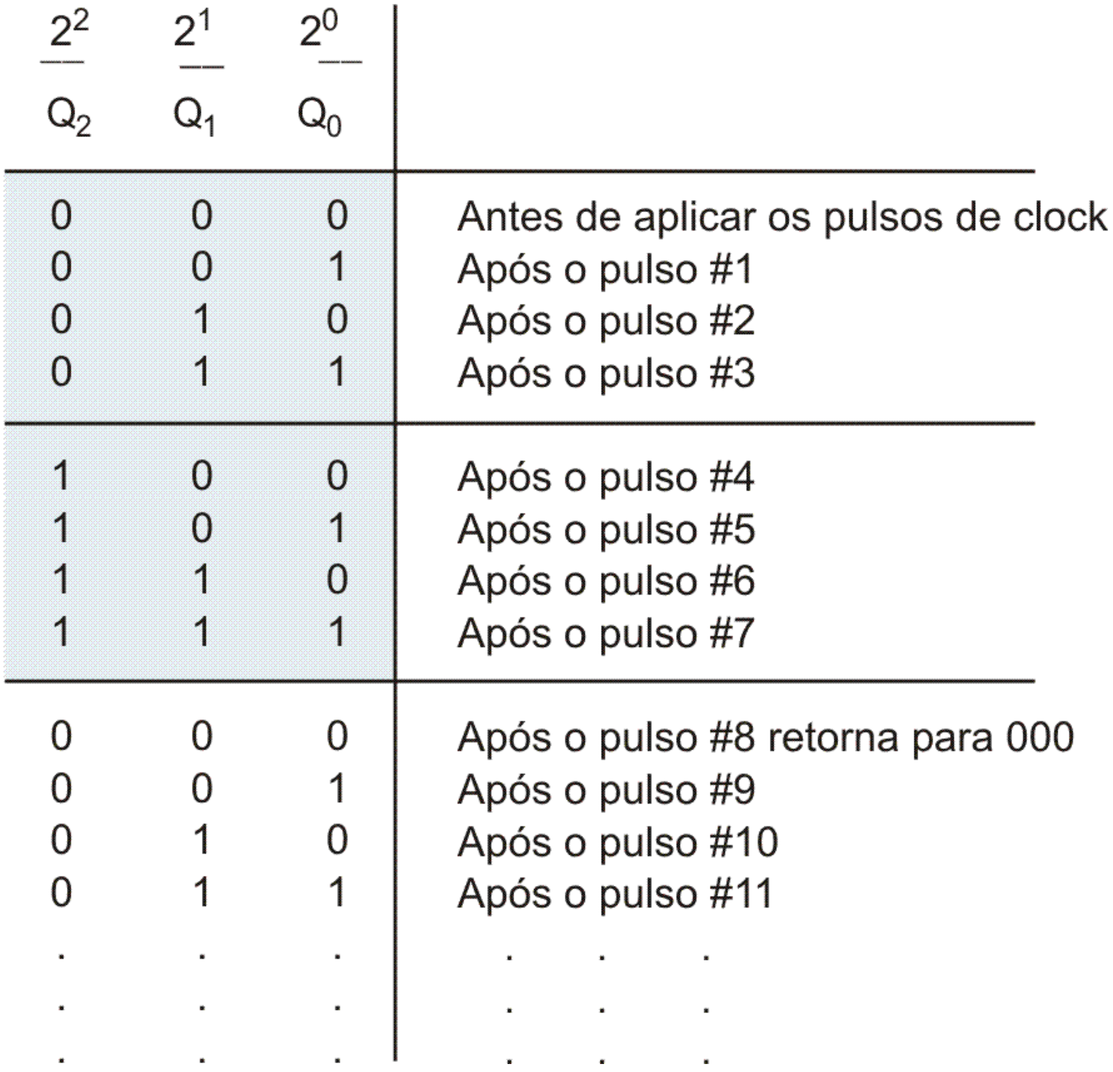

1
J
CLK
K
Q_2
$\overline{Q}_2$
Q_1
$\overline{Q}_1$
Q_0
$\overline{Q}_0$
*Todas as entradas $\overline{PRE}$ e $\overline{CLR}$ estão em nível ALTO.
Pulsos de clock de entrada
Pulsos de clock
1 2 3 4 5 6 7 8 9 10 11
1
0
Q_0
Q_1
Q_2
Contagem $Q_2Q_1Q_0$
000 001 010 011 100 101 110 111 000 001 010 100

(a)

(b)

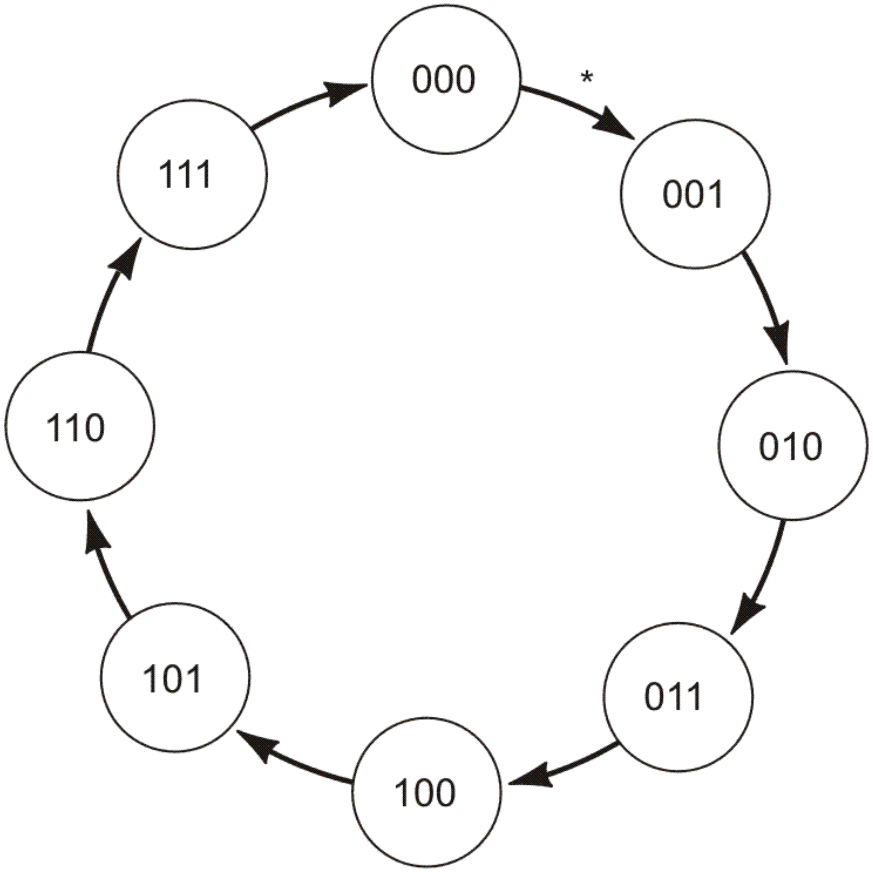
VI Escola do CBPF (www.cbpf.br)

Tabela com os estados dos flip-flops mostrando uma seqüência de contagem binária.



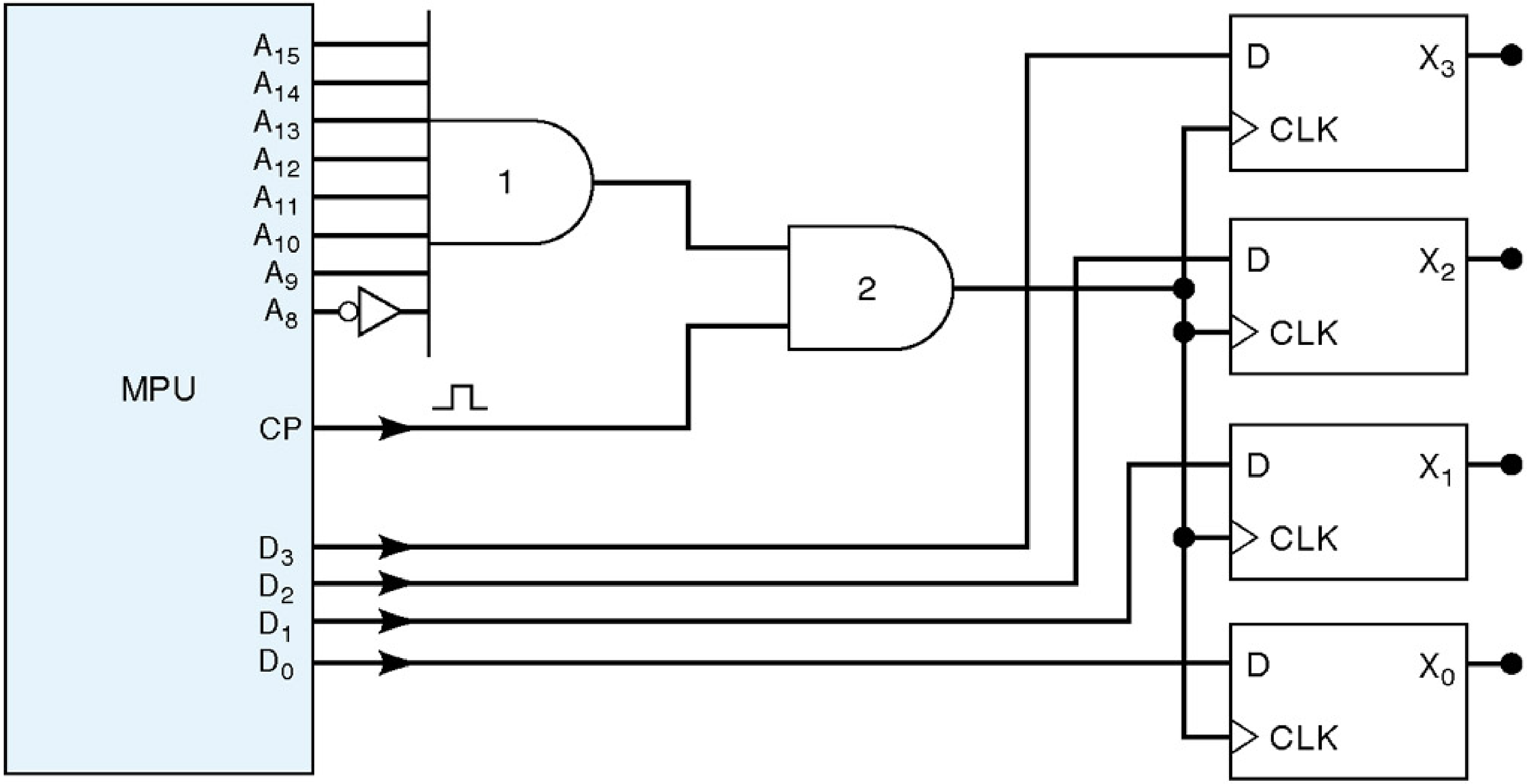
2^2 Q_2	2^1 Q_1	2^0 Q_0	
0	0	0	Antes de aplicar os pulsos de clock
0	0	1	Após o pulso #1
0	1	0	Após o pulso #2
0	1	1	Após o pulso #3
1	0	0	Após o pulso #4
1	0	1	Após o pulso #5
1	1	0	Após o pulso #6
1	1	1	Após o pulso #7
0	0	0	Após o pulso #8 retorna para 000
0	0	1	Após o pulso #9
0	1	0	Após o pulso #10
0	1	1	Após o pulso #11
.	.	.	. . .
.	.	.	. . .
.	.	.	. . .

O diagrama de transição de estados mostra como os estados de um contador mudam a cada pulso de clock aplicado.


000
*
001
010
011
100
101
110
111

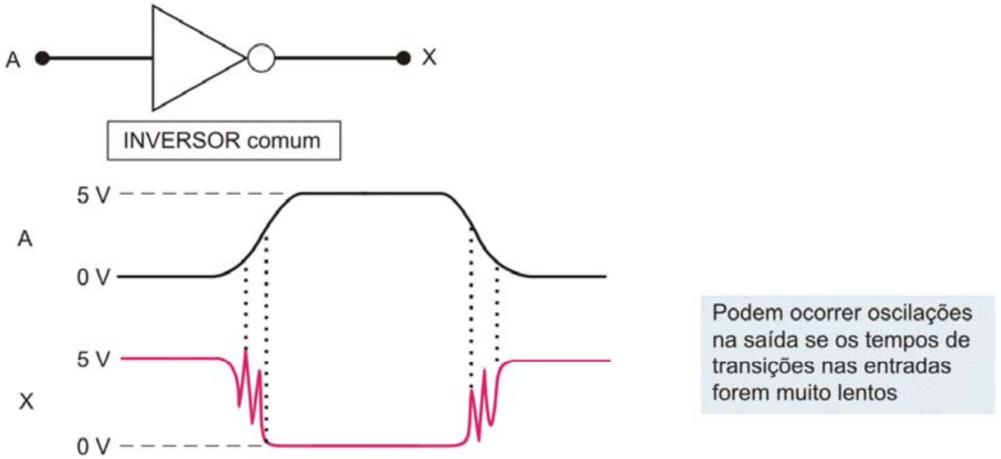
* Nota: cada seta representa
a ocorrência de
um pulso de clock

Exemplo de um microprocessador transferindo dados binários para um registrador externo.


MPU
A15
A14
A13
A12
A11
A10
A9
A8
CP
D3
D2
D1
D0
1
2
D
CLK
X3
X2
X1
X0

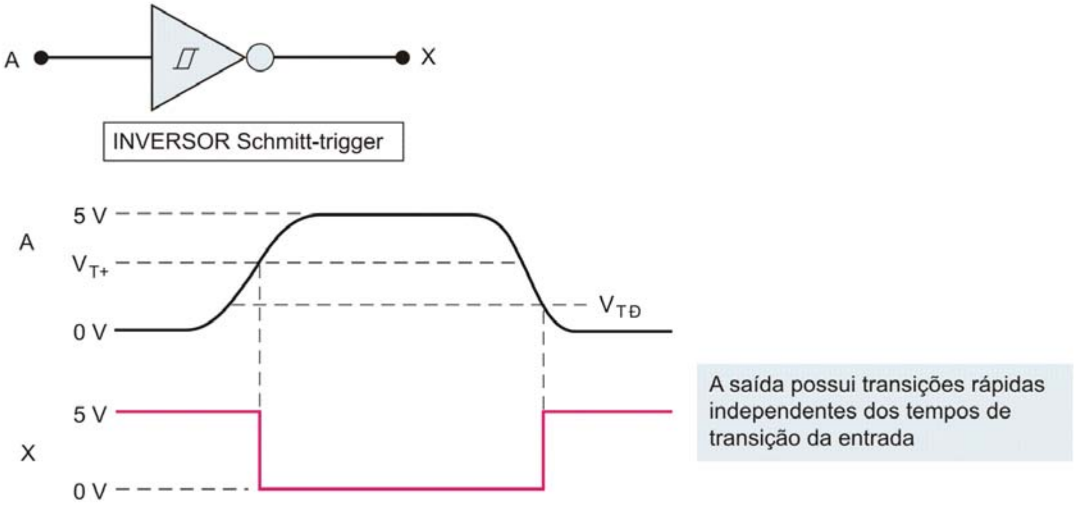
(a) Se os tempos de transições das entradas forem muito longos, a saída de um dispositivo lógico comum pode oscilar ou mudar imprevisivelmente de estado;

(b) Um dispositivo lógico com entrada Schmitt-trigger produz uma saída com transições rápidas.


A
X
INVERSOR comum
5 V
A
0 V
5 V
X
0 V

Podem ocorrer oscilações na saída se os tempos de transições nas entradas forem muito lentos

(a)


A
X
INVERSOR Schmitt-trigger
5 V
A
V_{T+}
$V_{TÐ}$
0 V
5 V
X
0 V

A saída possui transições rápidas independentes dos tempos de transição da entrada

(b)

VI Escola do CBPF

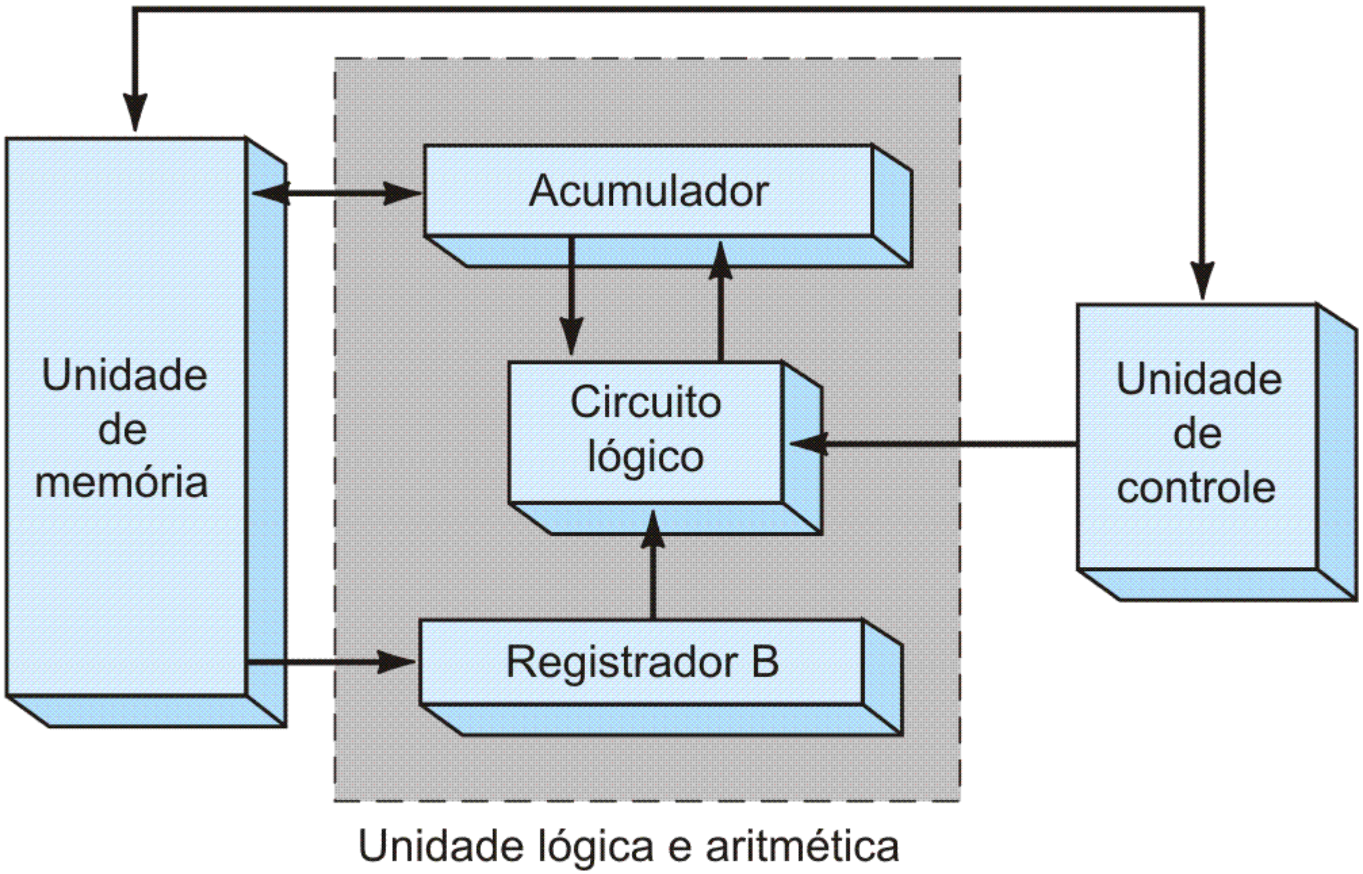
Rio de Janeiro, 17 a 28 de julho de 2006

G4 Eletrônica Digital para Instrumentação

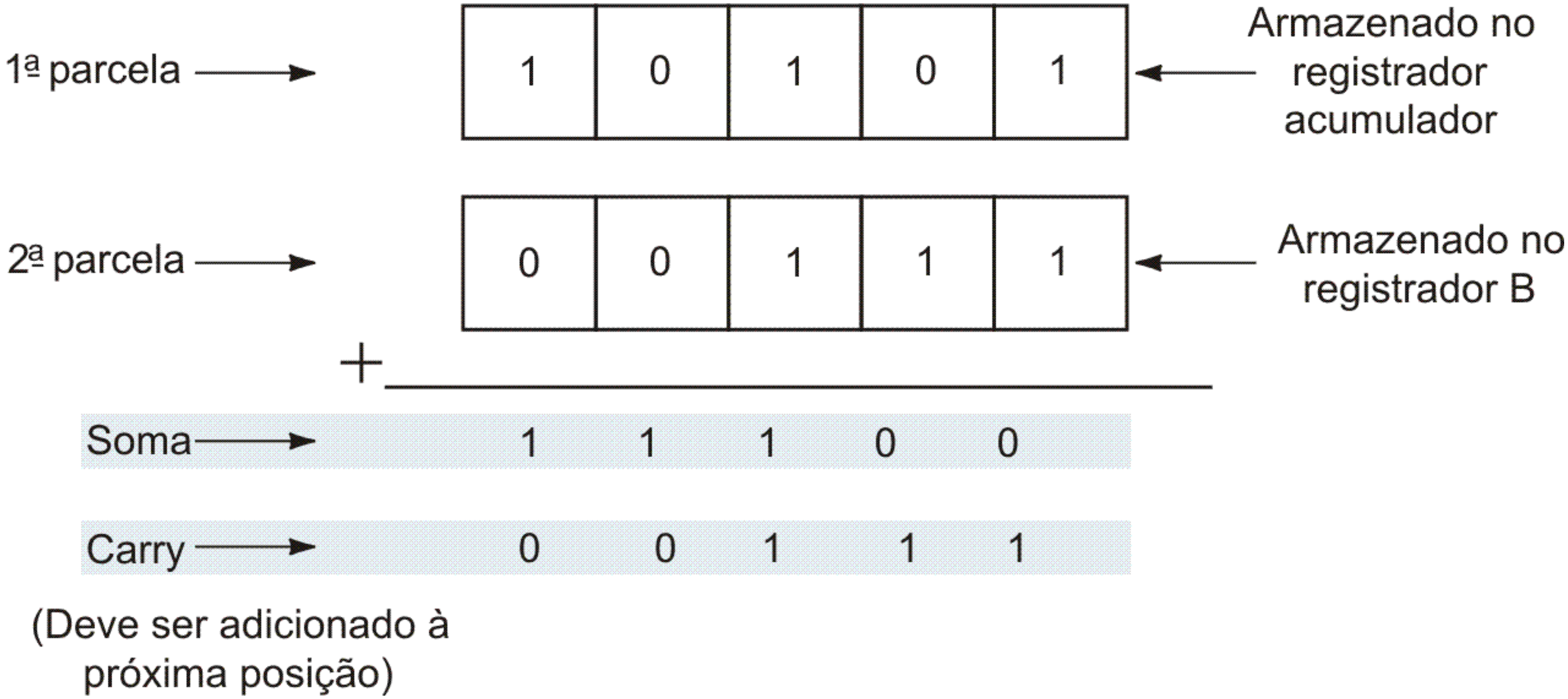
Circuitos Lógicos – Aritméticos e Medium-Scale Integration - MSI

Centro Brasileiro de Pesquisas Físicas
Ministério da Ciência e Tecnologia (MCT)

CIRCUITOS ARITMÉTICOS - Blocos funcionais de uma ALU.


Acumulador
Unidade de memória
Circuito lógico
Unidade de controle
Registrador B
Unidade lógica e aritmética

Processo típico de uma adição binária.



1ª parcela → 1 0 1 0 1 ← Armazenado no registrador acumulador

2ª parcela → 0 0 1 1 1 ← Armazenado no registrador B

+

Soma → 1 1 1 0 0

Carry → 0 0 1 1 1

(Deve ser adicionado à próxima posição)

- Números com Sinais:

Sinal + Amplitude :

$$N_s = \{s, a_{n-1}, a_{n-2}, a_{n-3}, \ldots, a_1, a_0\} \longrightarrow$$ *“Sinal + Amplitude”*

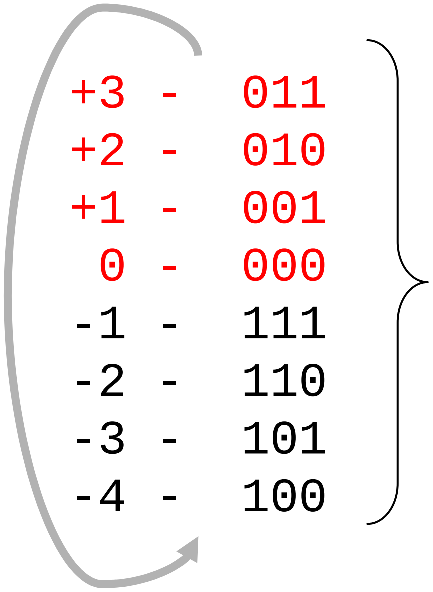
Se (n+1) bits:

$$(-2^{n-1} - 1) < N < (+2^{n-1} - 1) \longrightarrow$$ *(situação com dois zeros)*

$$\left.\begin{array}{rcl} -3 & - & 111 \\ -2 & - & 110 \\ -1 & - & 101 \\ 0 & - & 100 \\ +3 & - & 011 \\ +2 & - & 010 \\ +1 & - & 001 \\ 0 & - & 000 \end{array}\right\}$$

Para n=3 bits a variação possível será :
-3 < N < +3

Complemento a 2:

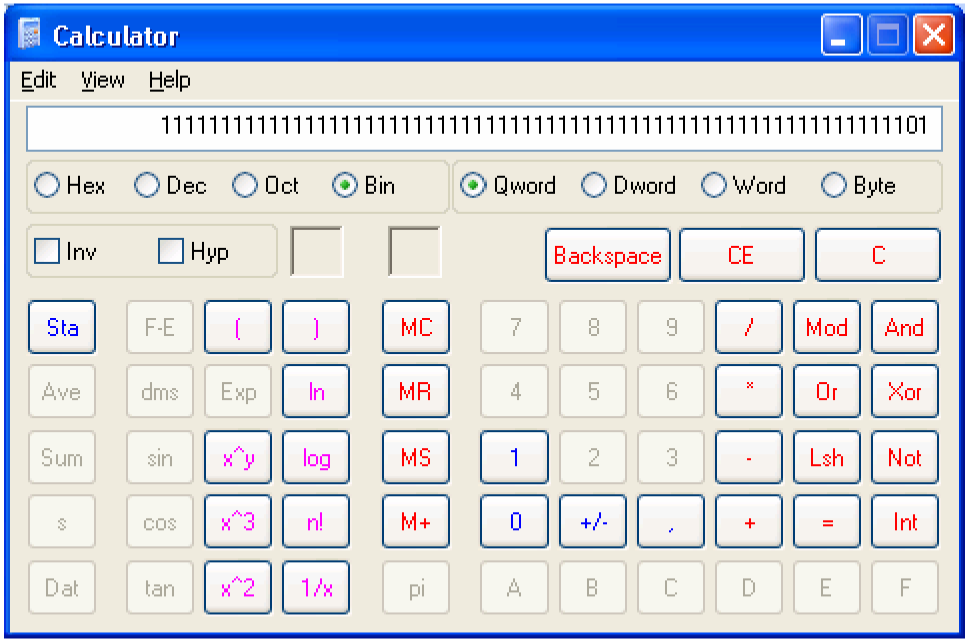


+3 - 011
+2 - 010
+1 - 001
0 - 000
-1 - 111
-2 - 110
-3 - 101
-4 - 100

+3 = 011
= 100
-3 = 101

Inversão bit a bit

Soma 1 no resultado



Calculator
Edit
View
Help
Inv
Hyp
Backspace
CE
C
Sta
F-E
(
)
MC
7
8
9
/
Mod
And
Ave
dms
Exp
ln
MR
4
5
6
*
Or
Xor
Sum
sin
x^y
log
MS
1
2
3
-
Lsh
Not
s
cos
x^3
n!
M+
0
+/-
,
+
=
Int
Dat
tan
x^2
1/x
pi
A
B
C
D
E
F

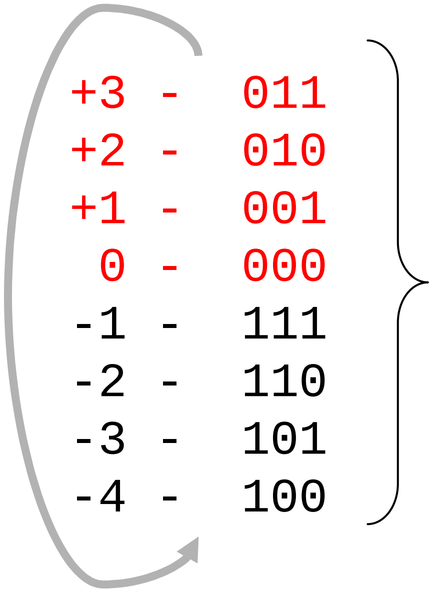
1111111111111111111111111111111111111111111111111111111111111101

○ Hex ○ Dec ○ Oct ● Bin

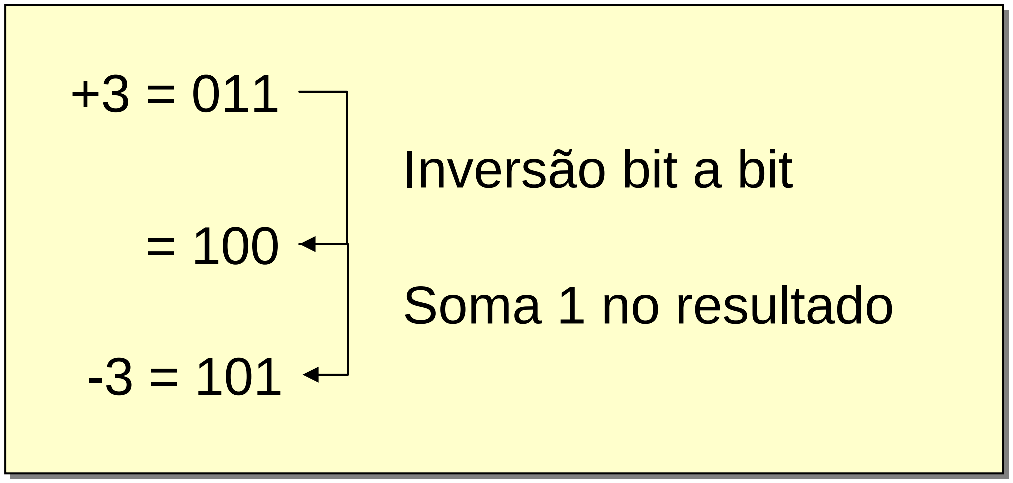
● Qword ○ Dword ○ Word ○ Byte

☐ Inv ☐ Hyp

Complemento a 2:



+3 - 011
+2 - 010
+1 - 001
0 - 000
-1 - 111
-2 - 110
-3 - 101
-4 - 100



+3 = 011
= 100
-3 = 101

Inversão bit a bit

Soma 1 no resultado

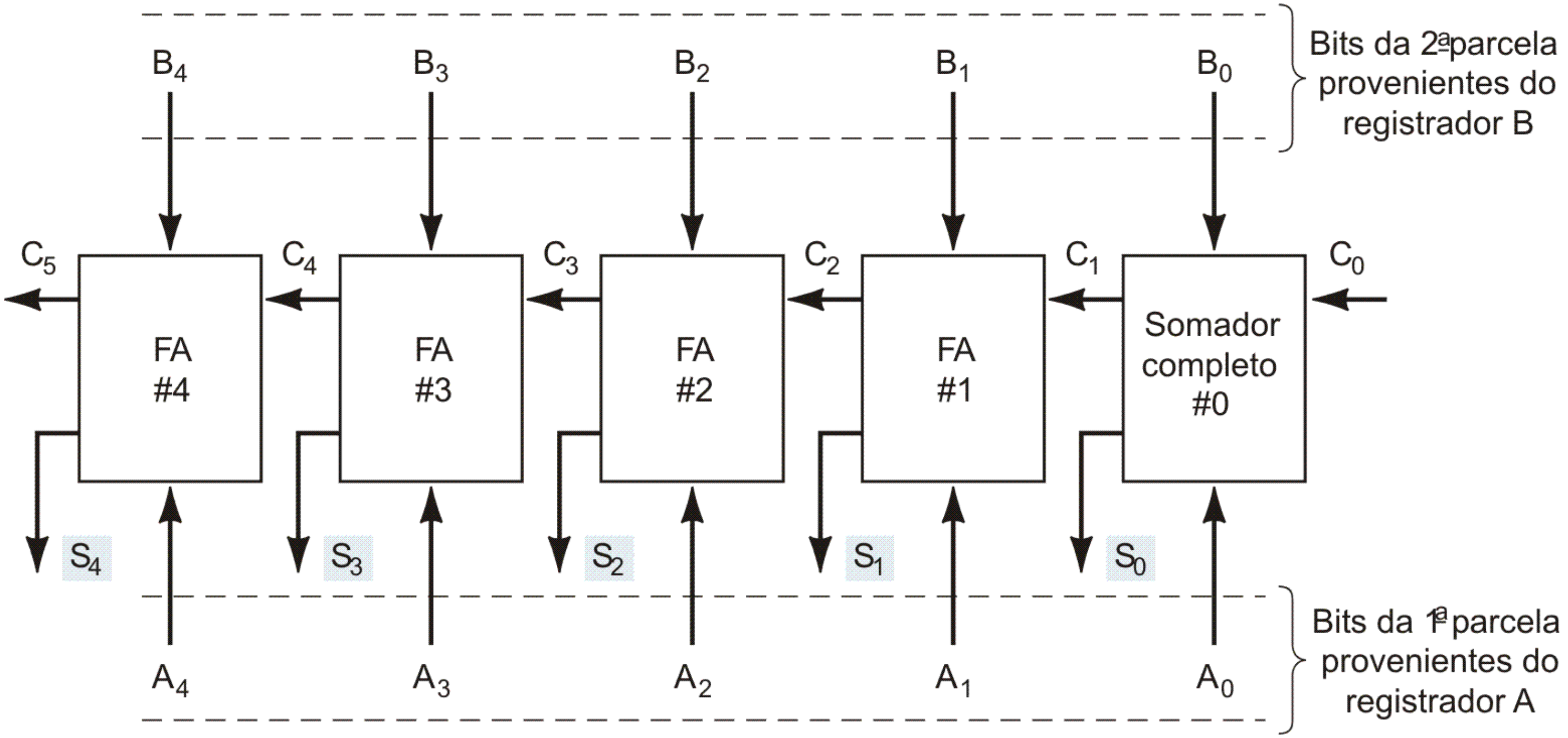
+3 + (-1) = -2

111

+3 011
-1 111

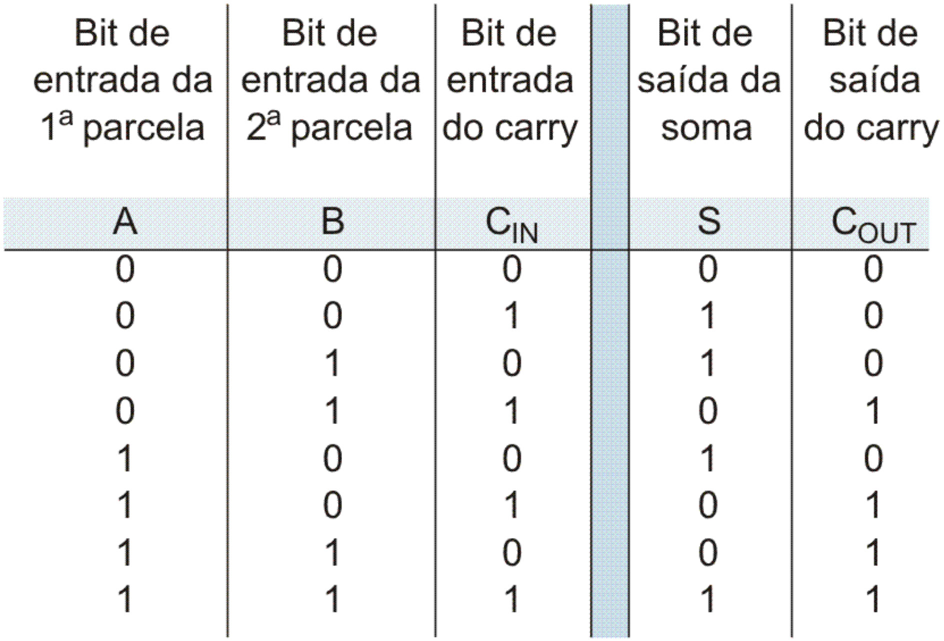
-2 X110

Diagrama em bloco de um circuito somador paralelo usando somadores completos.

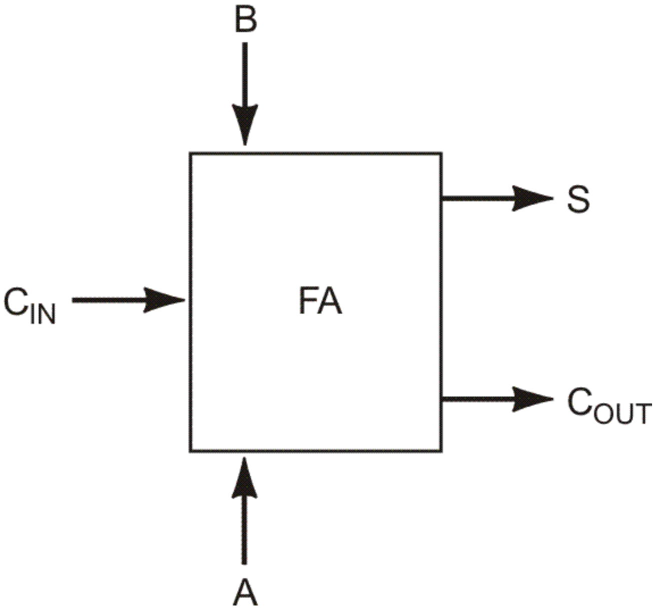

B_4
B_3
B_2
B_1
B_0
Bits da 2ª parcela provenientes do registrador B
C_5
C_4
C_3
C_2
C_1
C_0
FA #4
FA #3
FA #2
FA #1
Somador completo #0
S_4
S_3
S_2
S_1
S_0
A_4
A_3
A_2
A_1
A_0
Bits da 1ª parcela provenientes do registrador A

A soma aparece nas saídas S_4, S_3, S_2, S_1, S_0.

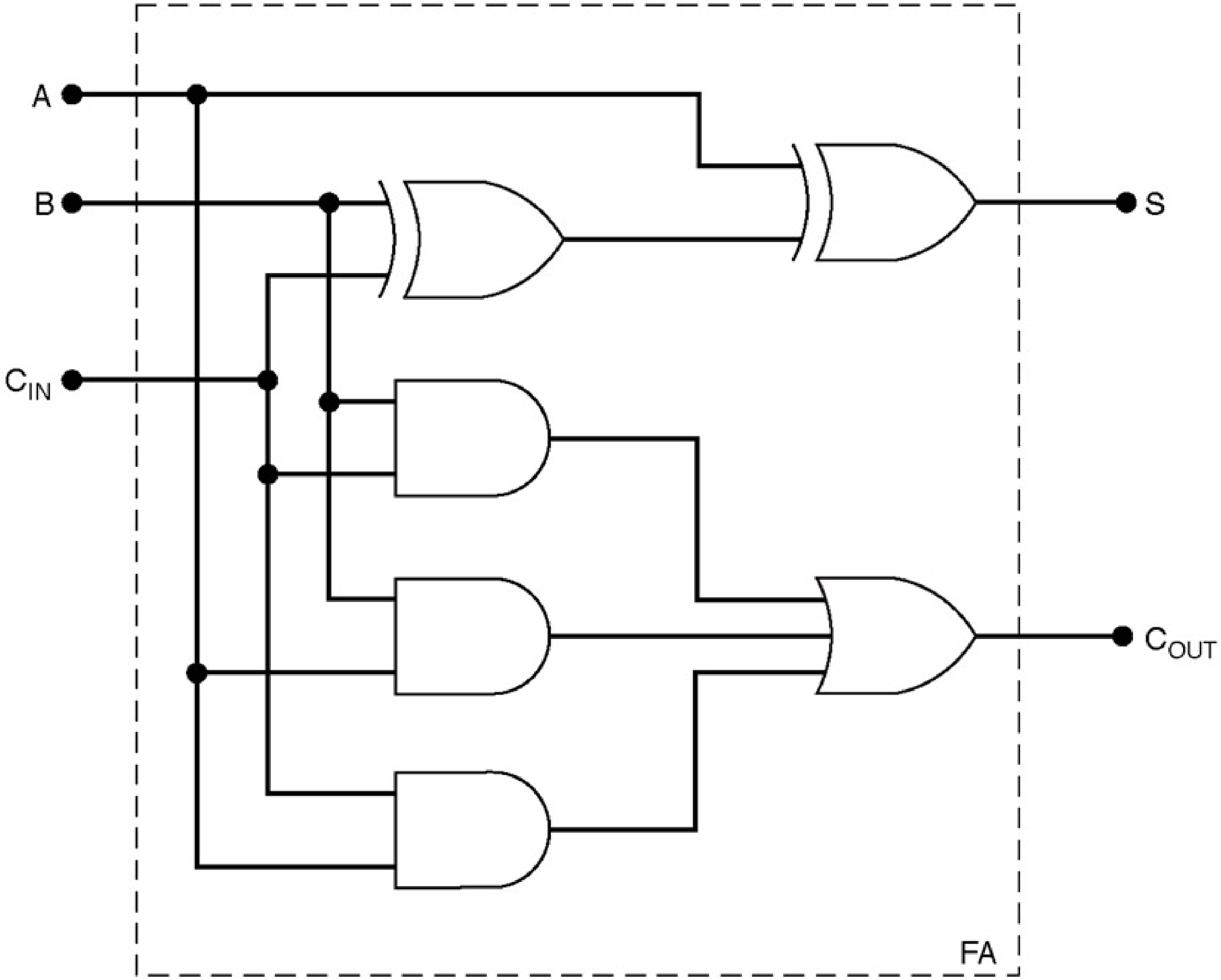
Tabela-verdade para um circuito somador completo.



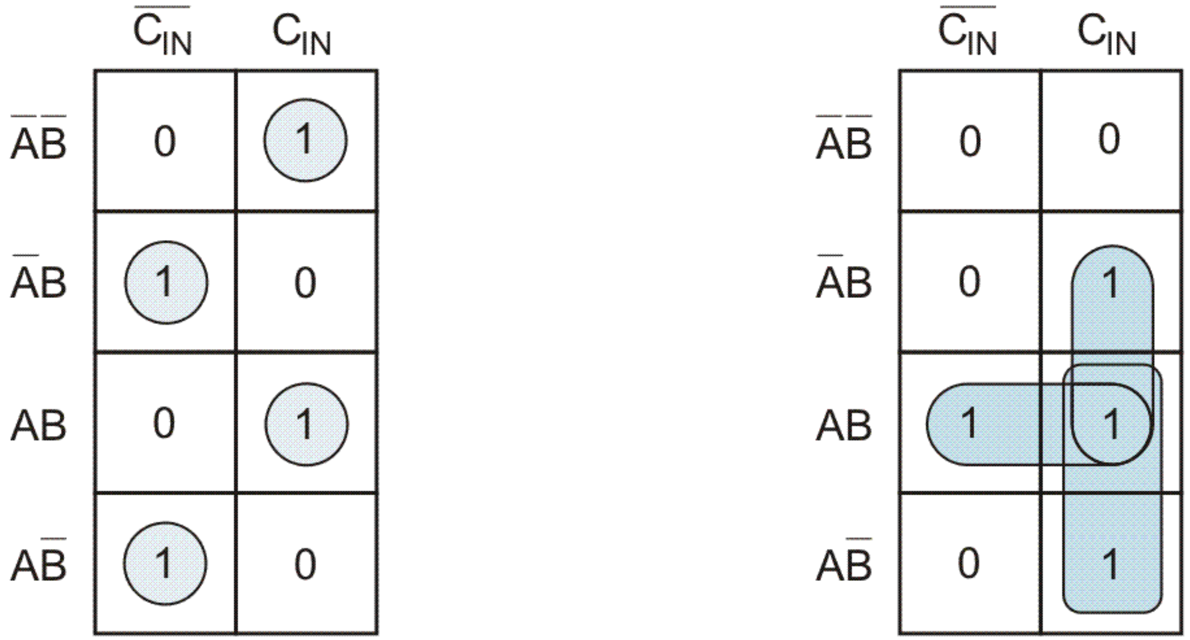
Bit de entrada da 1ª parcela	Bit de entrada da 2ª parcela	Bit de entrada do carry	Bit de saída da soma	Bit de saída do carry
A	B	C_{IN}	S	C_{OUT}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



Circuito para um somador completo.


A
B
C_{IN}
S
C_{OUT}
FA

Mapas K para saídas de um somador completo.


$\overline{C_{IN}}$
C_{IN}
$\overline{A}\,\overline{B}$
$\overline{A}B$
AB
$A\overline{B}$
0
1
1
0
0
1
1
0
$\overline{C_{IN}}$
C_{IN}
$\overline{A}\,\overline{B}$
$\overline{A}B$
AB
$A\overline{B}$
0
0
0
1
1
1
0
1

Mapa K para S

$S = \overline{A}\,\overline{B}C_{IN} + \overline{A}B\overline{C_{IN}} + ABC_{IN} + A\overline{B}\,\overline{C_{IN}}$

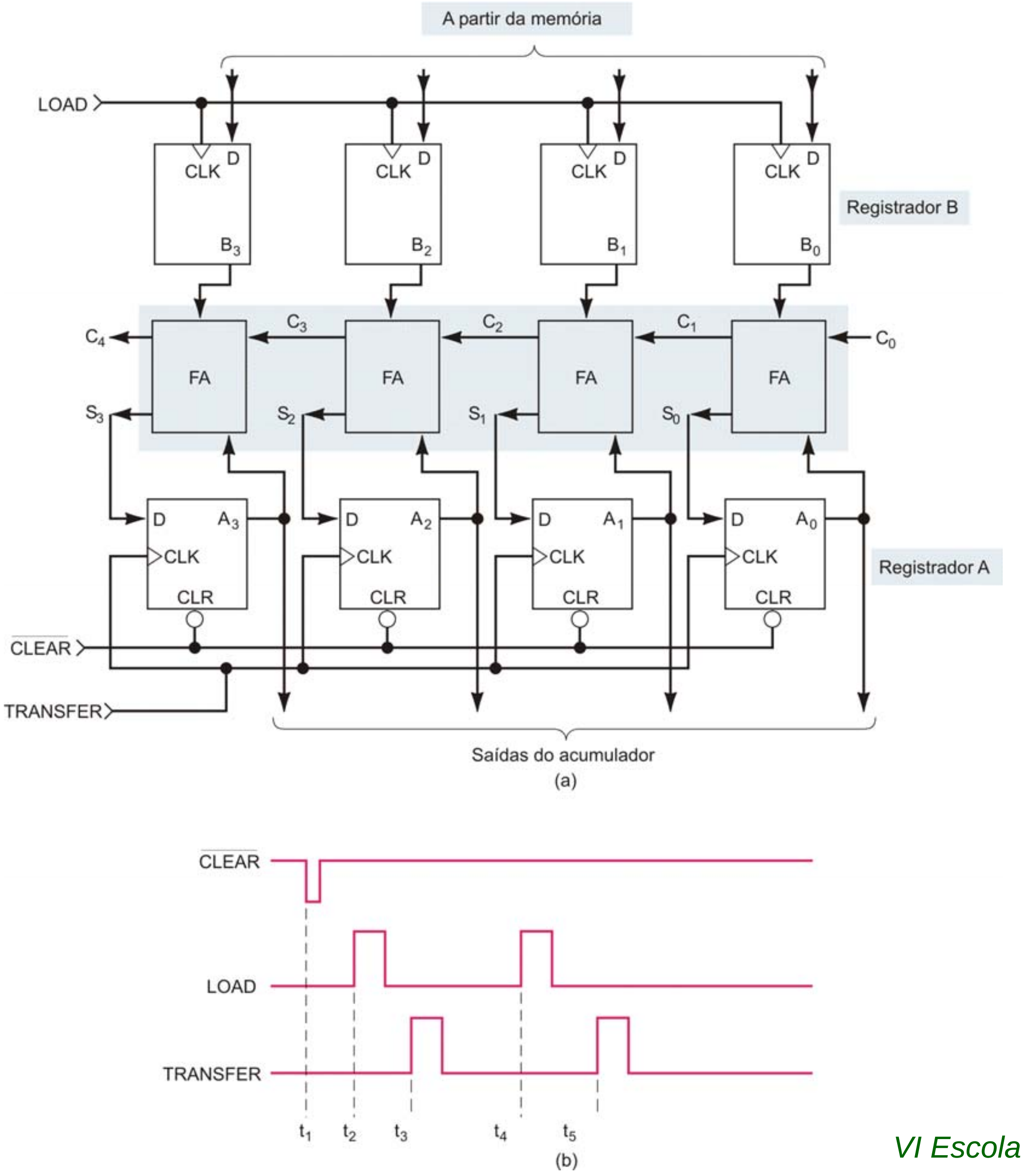
(a)

Mapa K para C_{OUT}

$C_{OUT} = BC_{IN} + AC_{IN} + AB$

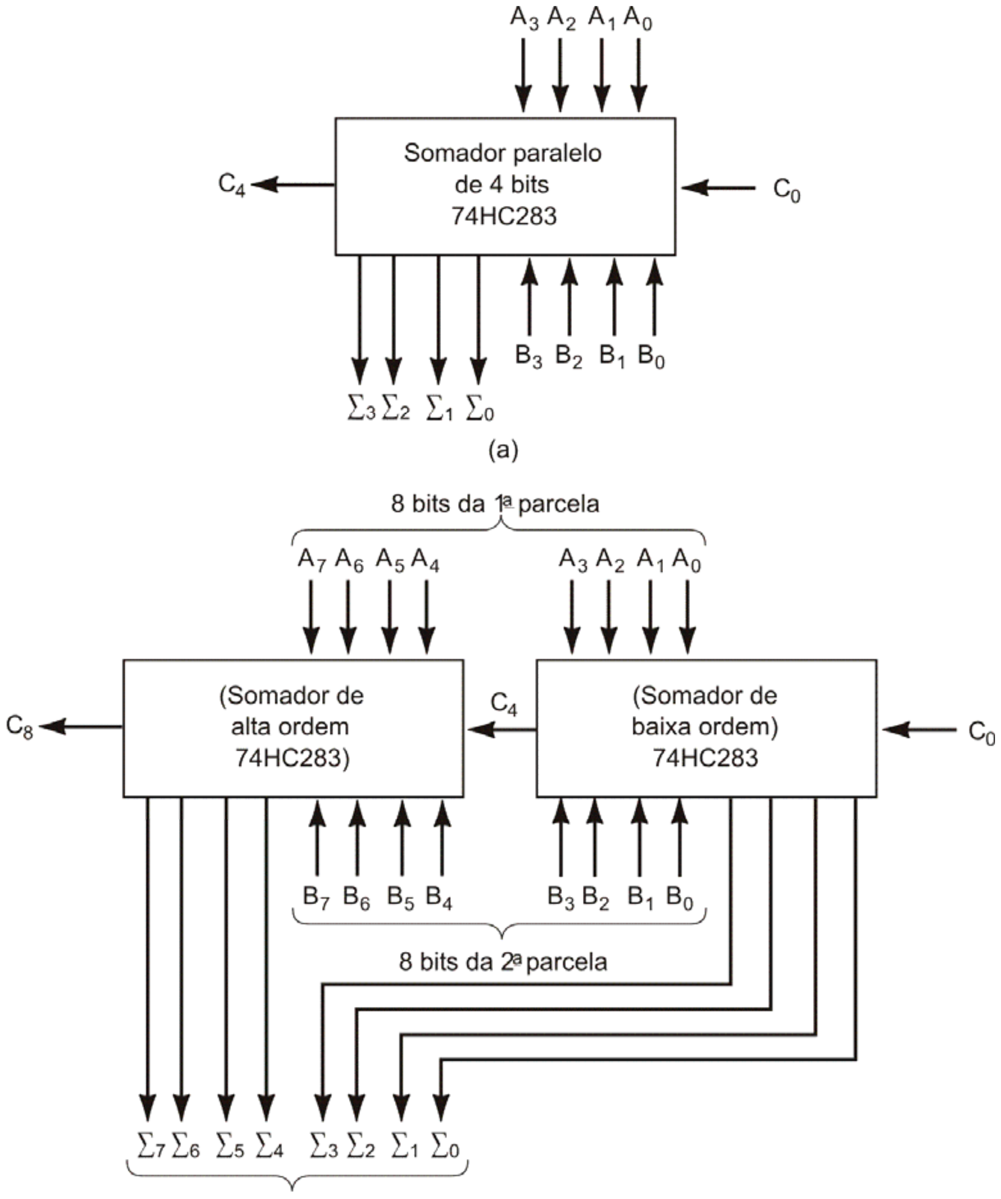
(b)

(a) Somador de quatro bits completo com registradores; (b) Sinal usado para somar os números binários provenientes da memória e para armazenar o resultado no acumulador.



A partir da memória
LOAD
CLK
D
B_3
B_2
B_1
B_0
Registrador B
C_4
C_3
C_2
C_1
C_0
FA
S_3
S_2
S_1
S_0
D
A_3
A_2
A_1
A_0
CLK
CLR
Registrador A
$\overline{\text{CLEAR}}$
TRANSFER
Saídas do acumulador
(a)
$\overline{\text{CLEAR}}$
LOAD
TRANSFER
t_1
t_2
t_3
t_4
t_5
(b)

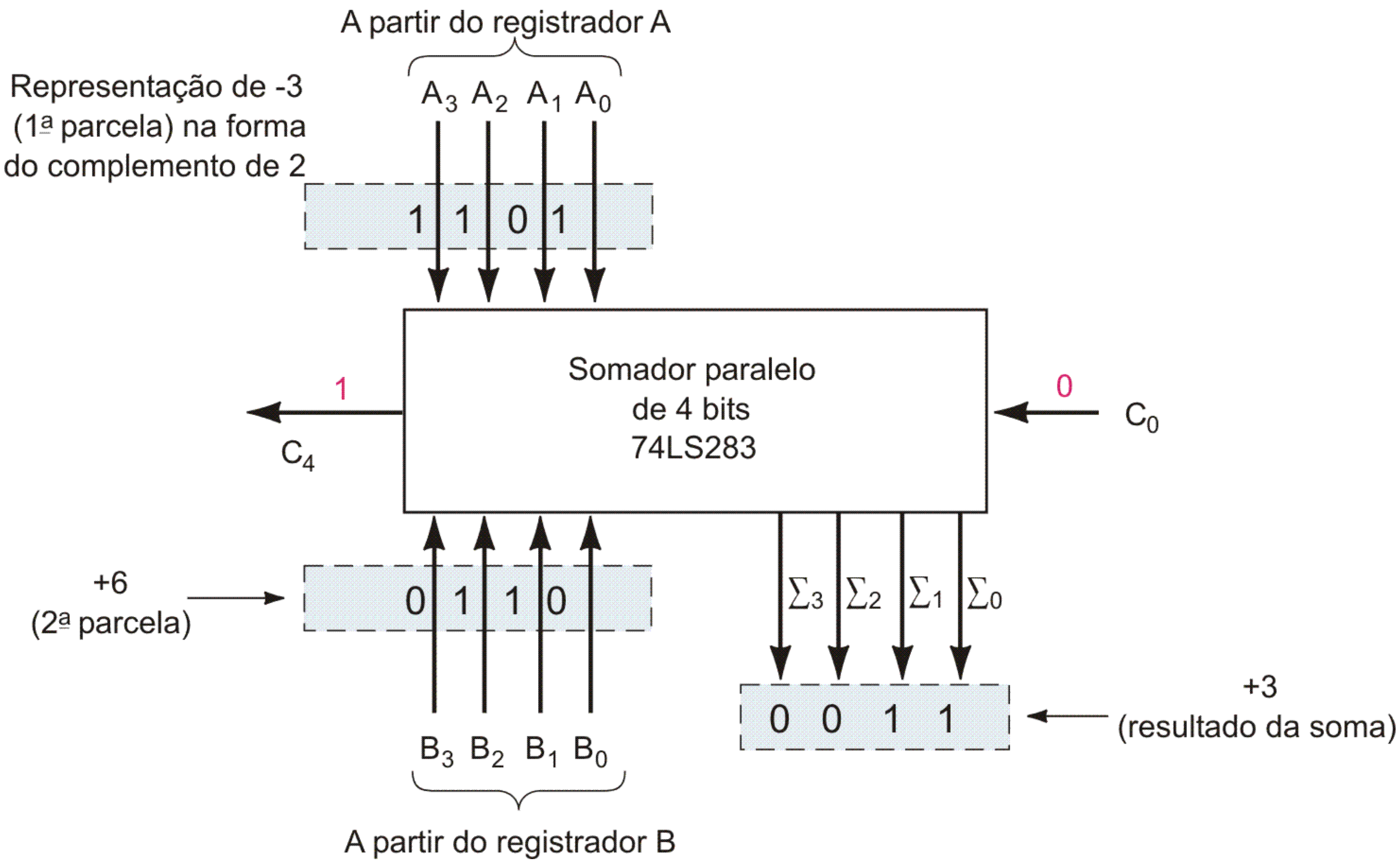
(a) Diagrama em bloco do somador paralelo de 4 bits 74HC283; (b) Conexão em cascata de dois 74HC283.


A_3 A_2 A_1 A_0
Somador paralelo de 4 bits 74HC283
C_4
C_0
B_3 B_2 B_1 B_0
Σ_3 Σ_2 Σ_1 Σ_0
8 bits da 1ª parcela
A_7 A_6 A_5 A_4
A_3 A_2 A_1 A_0
(Somador de alta ordem 74HC283)
(Somador de baixa ordem) 74HC283
C_8
C_4
C_0
B_7 B_6 B_5 B_4
B_3 B_2 B_1 B_0
8 bits da 2ª parcela
Σ_7 Σ_6 Σ_5 Σ_4 Σ_3 Σ_2 Σ_1 Σ_0

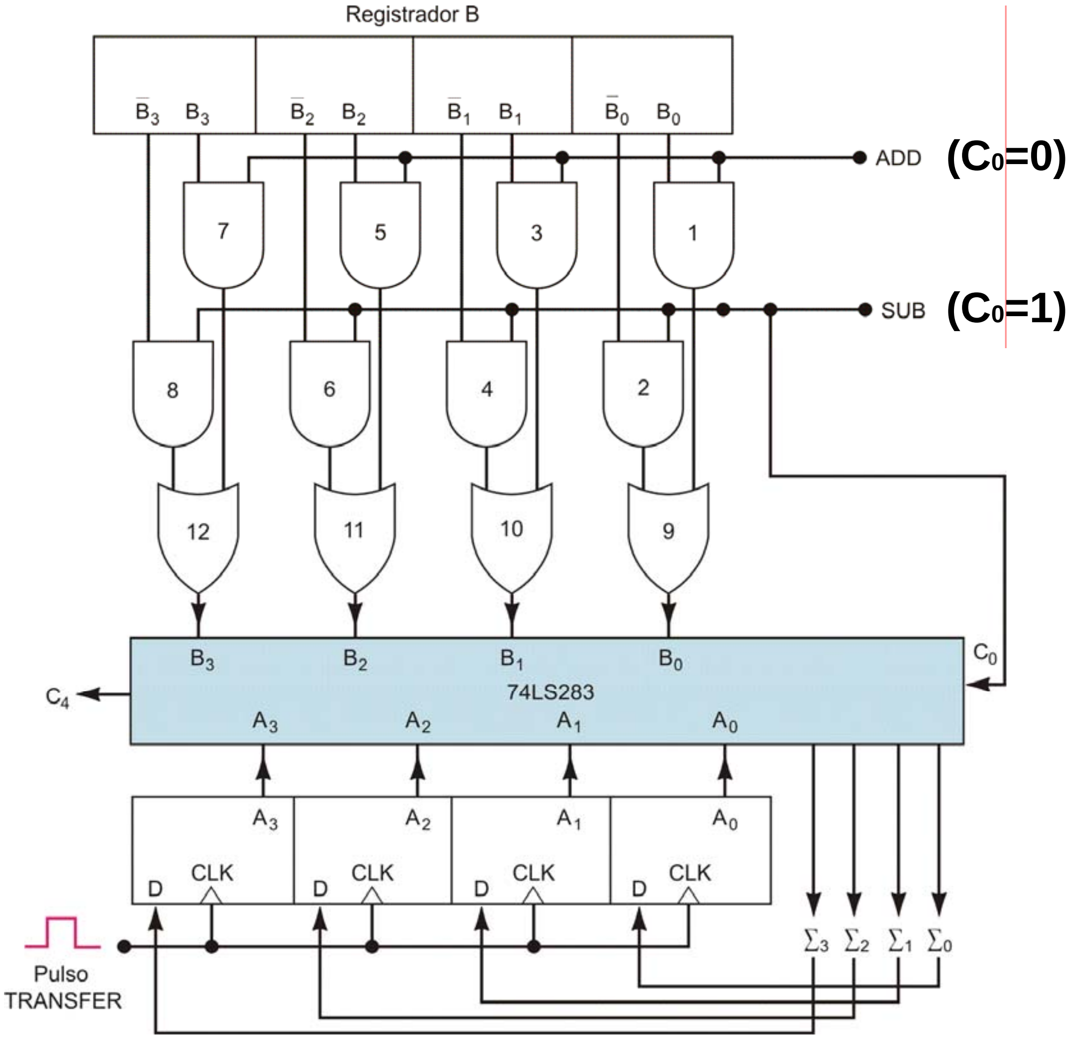
(a)

(b)

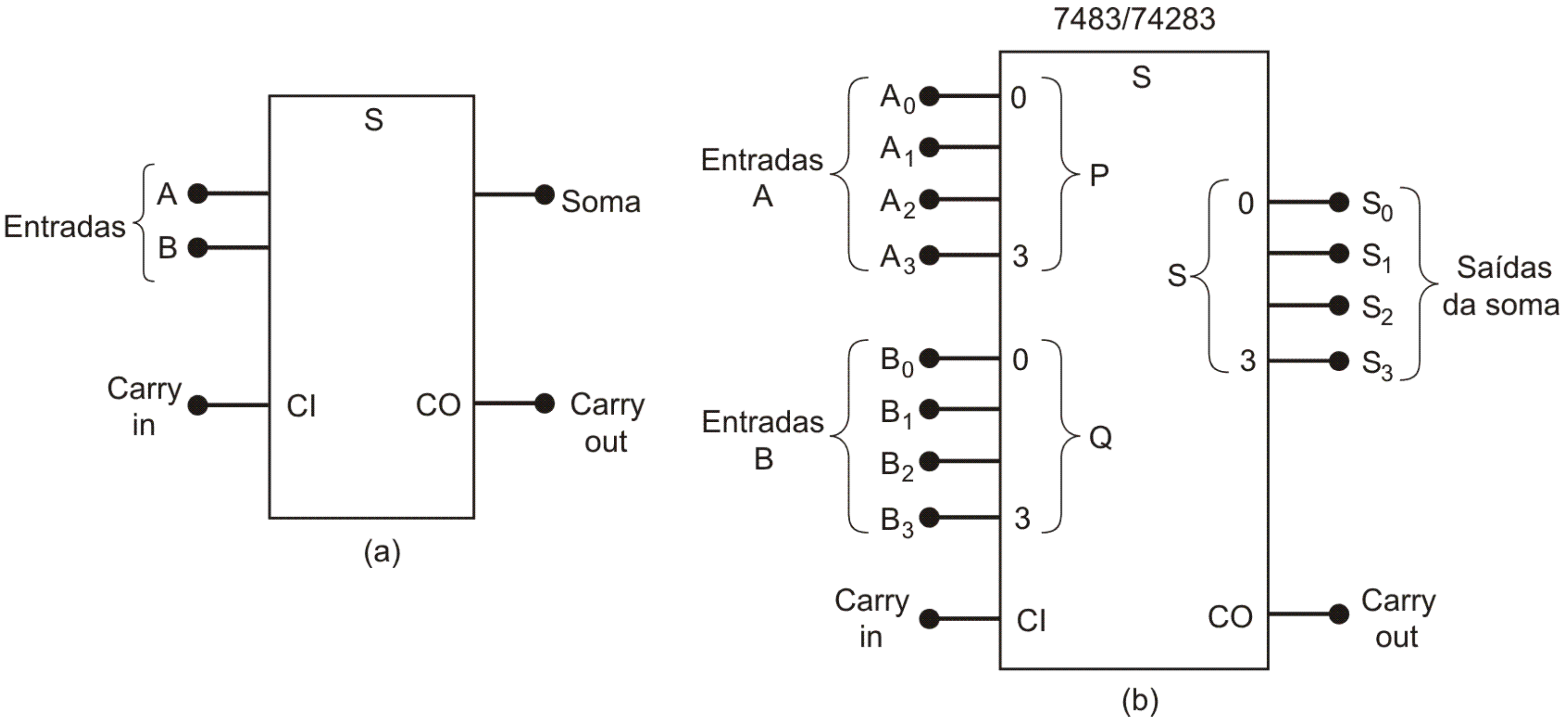
Somador paralelo usado para somar um número positivo (+) com um negativo (-) no sistema de complemento de 2.


A partir do registrador A
Representação de -3
(1ª parcela) na forma
do complemento de 2
A_3 A_2 A_1 A_0
1 1 0 1
Somador paralelo
de 4 bits
74LS283
1
C_4
0
C_0
+6
(2ª parcela)
0 1 1 0
B_3 B_2 B_1 B_0
A partir do registrador B
Σ_3 Σ_2 Σ_1 Σ_0
0 0 1 1
+3
(resultado da soma)

Somador / Subtrator paralelo usando o sistema de complemento de 2.


Registrador B
$\overline{B}_3$ B_3 $\overline{B}_2$ B_2 $\overline{B}_1$ B_1 $\overline{B}_0$ B_0
ADD
(C₀=0)
SUB
(C₀=1)
7
5
3
1
8
6
4
2
12
11
10
9
B_3 B_2 B_1 B_0
C_0
C_4
74LS283
A_3 A_2 A_1 A_0
A_3 A_2 A_1 A_0
CLK
D
Pulso
TRANSFER
Σ_3 Σ_2 Σ_1 Σ_0

Símbolos IEEE/ANSI para (a) um somador completo e (b) um CI somador paralelo de quatro bits (7483/74283).



S
Entradas
A
B
Soma
Carry in
CI
CO
Carry out
(a)
7483/74283
S
Entradas A
A0
A1
A2
A3
0
3
P
Entradas B
B0
B1
B2
B3
0
3
Q
S
0
3
S0
S1
S2
S3
Saídas da soma
Carry in
CI
CO
Carry out
(b)

VI Escola do CBPF

Rio de Janeiro, 17 a 28 de julho de 2006

G4 Eletrônica Digital para Instrumentação

Prof. Márcio Portes de Albuquerque (mpa@cbpf.br)
Prof. Herman P. Lima Jr (hlima@cbpf.br)

Centro Brasileiro de Pesquisas Físicas
Ministério da Ciência e Tecnologia (MCT)